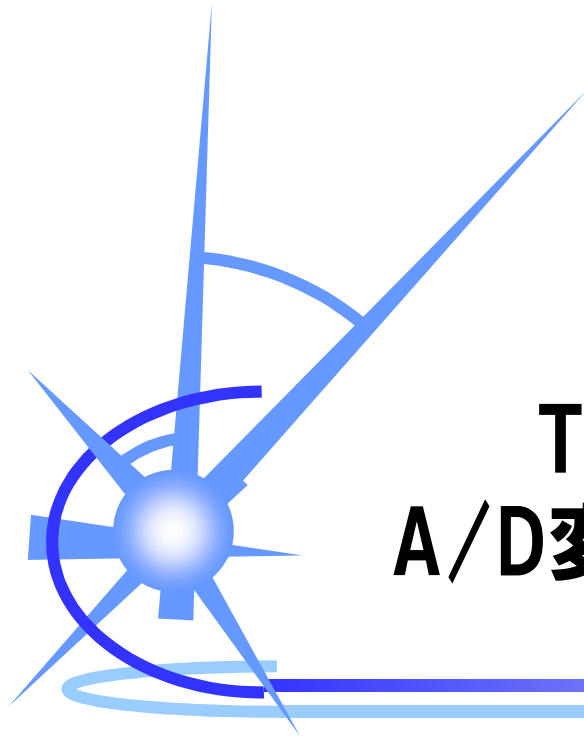
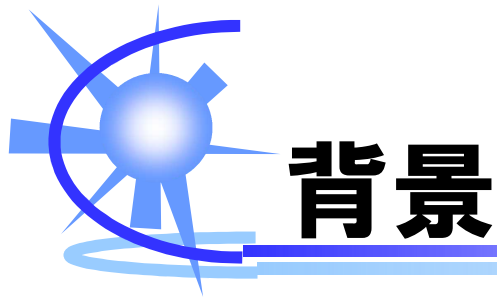


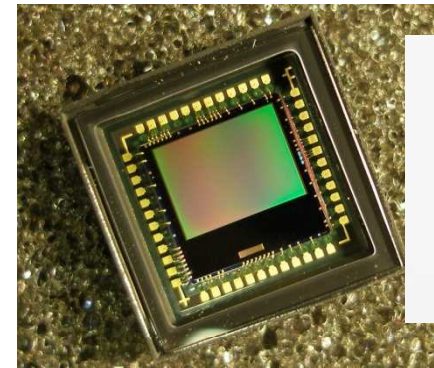


Time to digital converter の A/D変換器への利用とその低電力化

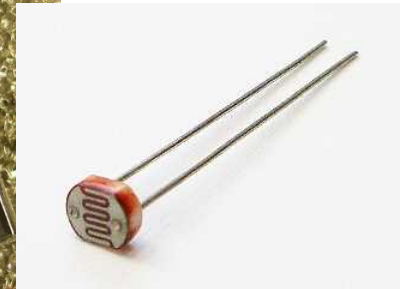
**国立大学法人北海道大学
大学院情報科学研究科
准教授 池辺 将之**



- センシングされたアナログ情報をデジタル信号へ
 - AD変換器(ADC)への要求
 - 低電力・小面積・高速動作
- Single-slope ADCに注目
- シンプルな構成で小面積



Wikipedia: CMOS image sensor



Macron International Group Ltd.

課題:ビット数を上げると変換時間が指数的に増大



提案回路

**Single-slope ADC + TDCの組み合わせによる
高速動作かつ低電力ADC**

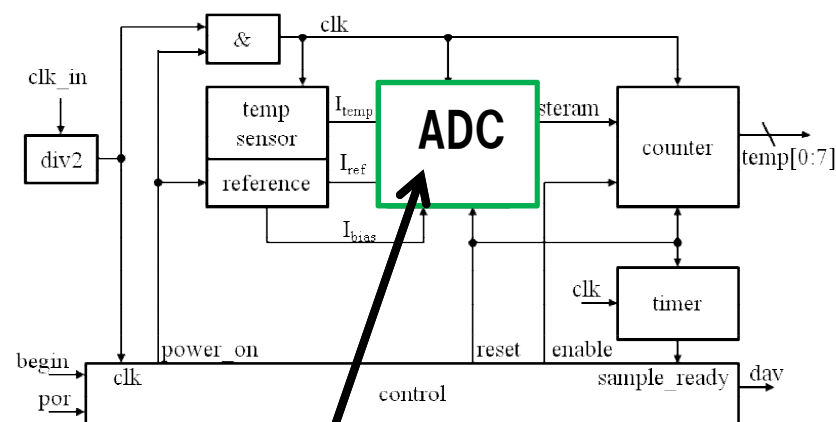
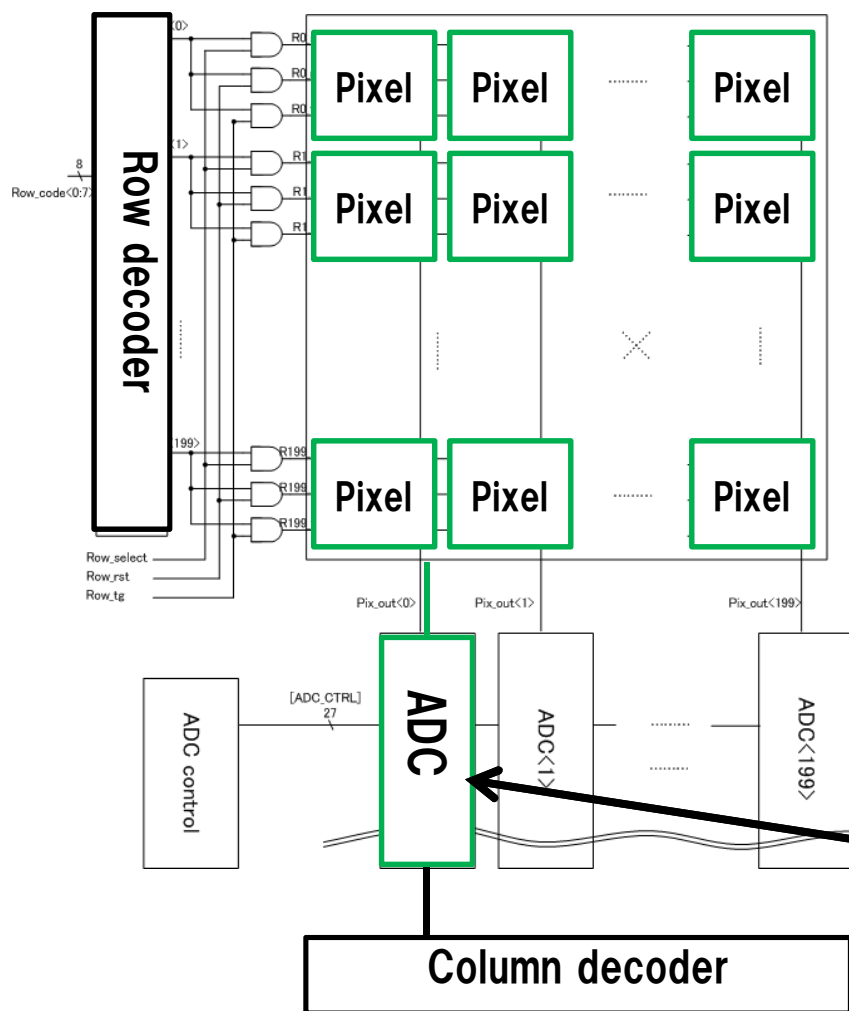
(※発表当日には、配付資料に載せていない未公開データがあります)



センシング回路の概要



Intelligent LSI Systems Lab.



温度センサRF-ID用ADC

CMOSイメージセンサ用ADC

- ・ 列並列型
- ・ 小面積化が可能

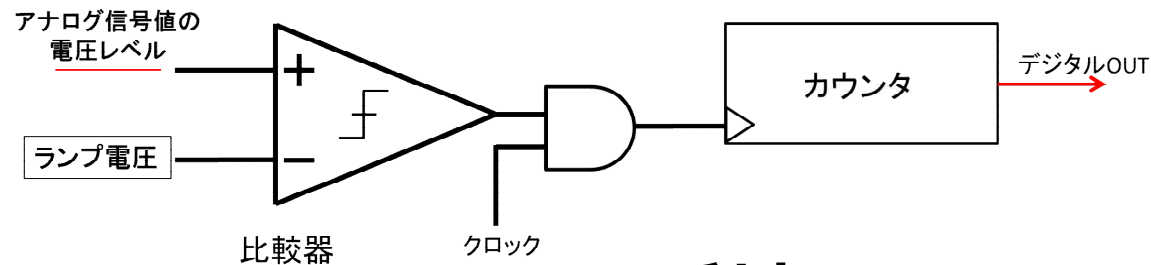


Single-slope ADC

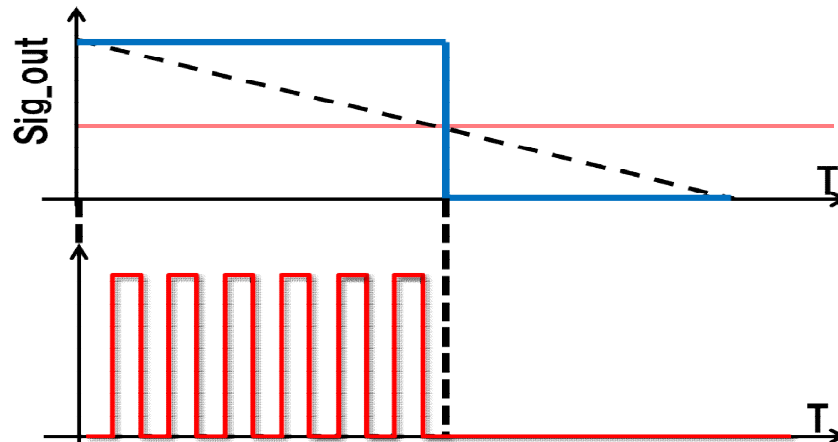


Intelligent LSI Systems Lab.

回路構成



Single-slope ADCの動作



既知のランプ電圧によりアナログ値を測定

利点

- ・ 構成がシンプル
- ・ 小面積化が可能

欠点

- ・ 変換時間 (T_{count}) は変換精度 (Nbit) に対して

$$T_{\text{count}} = 2^N \times T_{\text{CLK}}$$

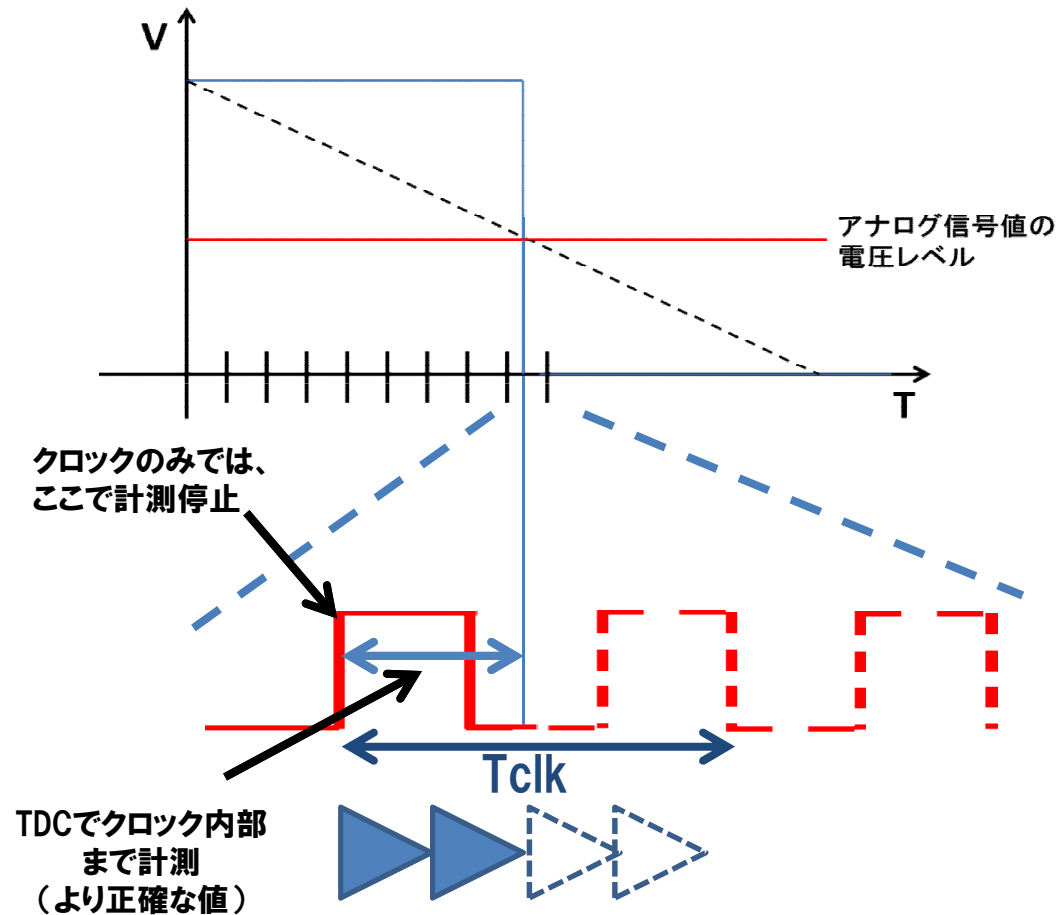
→精度に対して指数的に増加
変換時間による消費電力の増加



TDC(Time to Digital Converter)



Intelligent LSI Systems Lab.



遅延線路を用いて基準クロック内部を測定

TDCを用いて
量子化誤差を計測

↓
同一の変換サイクルで高い
変換精度の実現

$$2^{12} (4084) \rightarrow 2^8 (256) + 2^4 (16)$$

Single-slope ADC
+TDCにより、変換時間短縮

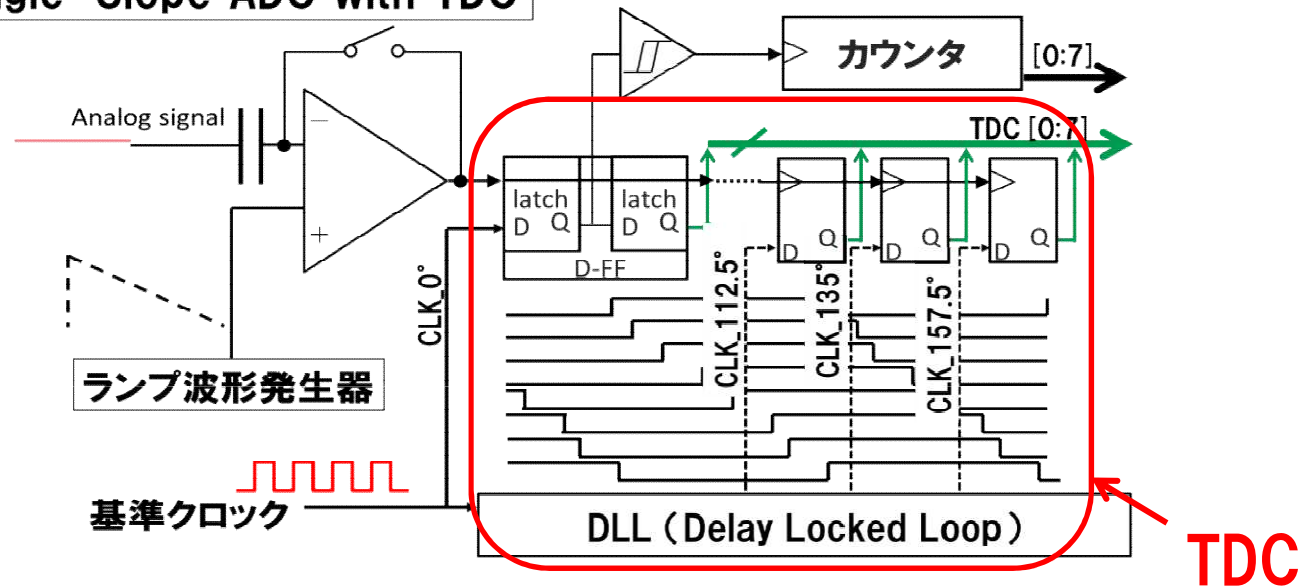


TDCを用いたSingle-slope ADC

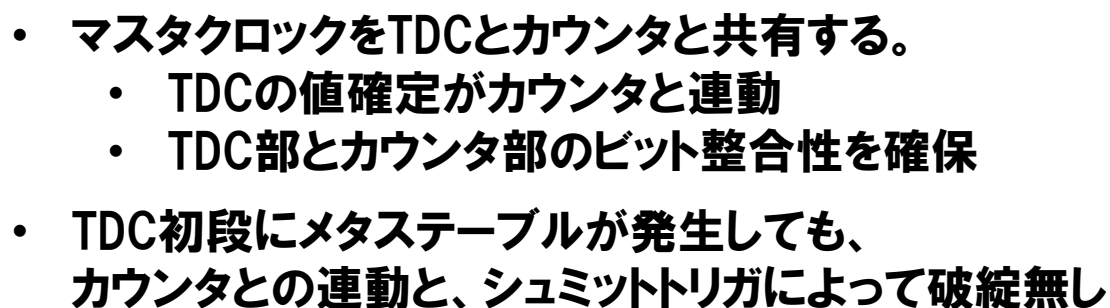


Intelligent LSI Systems Lab.

Single-Slope ADC with TDC



- カウンタでクロック数を、TDCで量子化誤差を計測
カウンタ8ビット+ TDC4ビットにし、変換時間削減
 $20.48 \mu\text{sec} \rightarrow 1.28 \mu\text{sec}$
従来型 Single-Slope ADCより 2^4 倍の高速化
- カウンタとTDCのクロック共有
メタスタビリティの影響なし
- 特殊変換コードを活用
D-latch数を16個から8個に削減し、省面積化



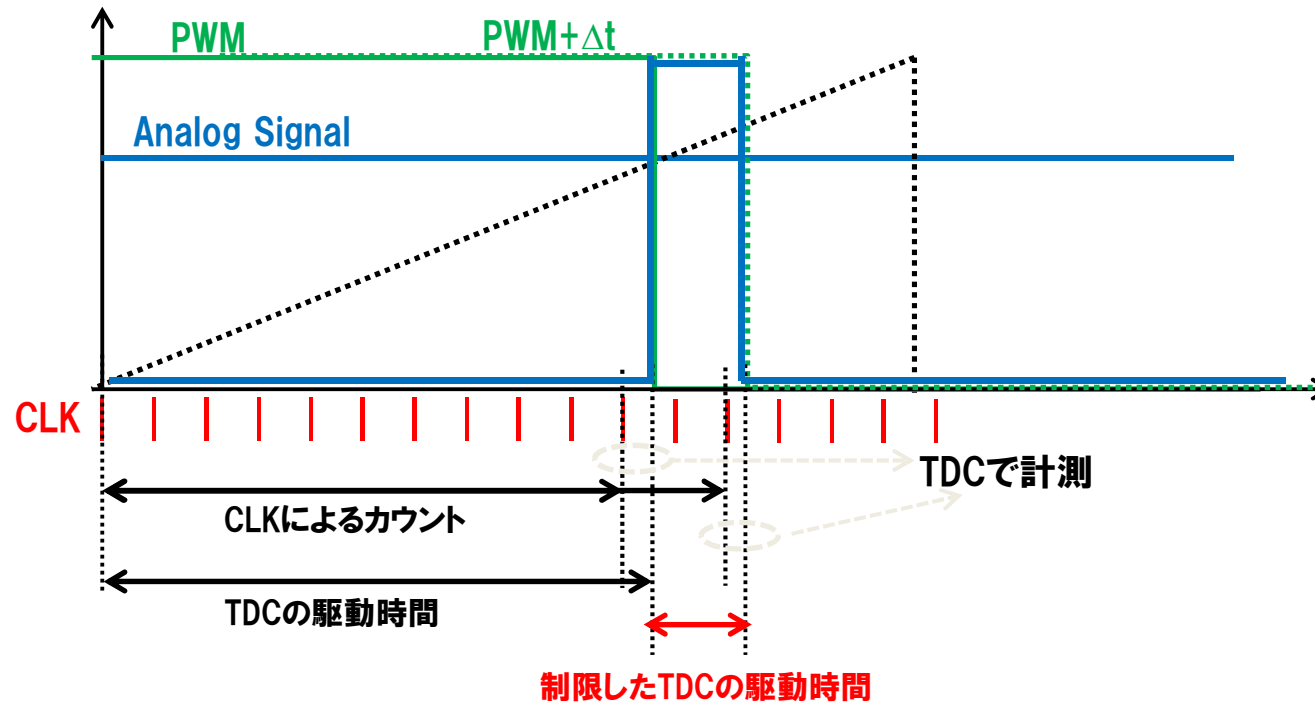
- SS-ADC+TDC方式でメタステーブルを避けるには、複数位相クロックでTDCを常時駆動する必要がある。→消費電力増加



駆動時間の制限



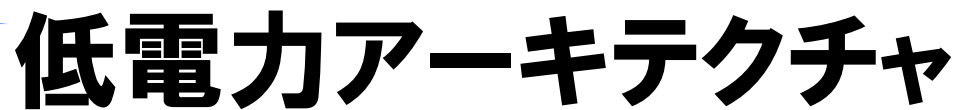
Intelligent LSI Systems Lab.



TDCの駆動時間が長いため消費電力が非常に大きくなる



駆動時間 Δt の範囲での量子化誤差の計測
TDCの消費電力を削減することが可能



Delay Generator + NAND Delay Line →TDCの駆動時間を制限



遅延量の制御

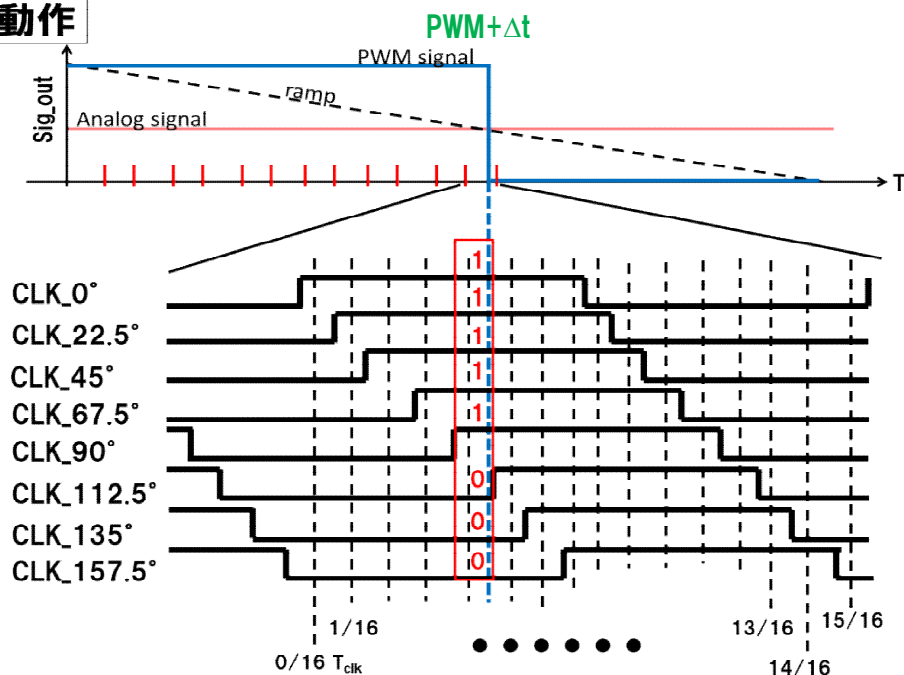


TDCの値と変換コード



Intelligent LSI Systems Lab.

TDCの動作



- TDCには変形サーモコードを使用可能
通常のTDCと比較して1/2の面積

code	Tdelay	Digital
1000 0000	0/16 Tclk	0000
1100 0000	1/16 Tclk	0001
1110 0000	2/16 Tclk	0010
1111 0000	3/16 Tclk	0011
1111 1000	4/16 Tclk	0100
⋮		
0000 0011	13/16 Tclk	1101
0000 0001	14/16 Tclk	1110
0000 0000	15/16 Tclk	1111

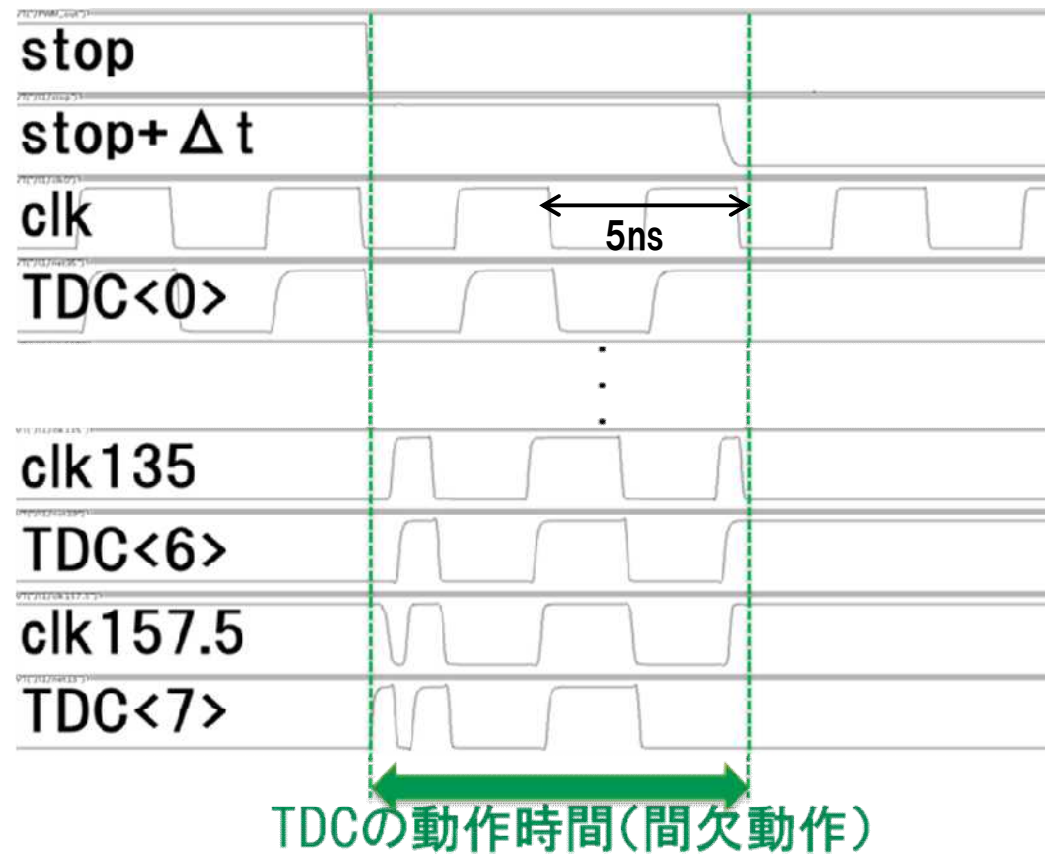




TDCの過渡応答Sim.



Intelligent LSI Systems Lab.



提案型TDCの間欠動作の確認(シミュレーション)



消費電力・面積比較

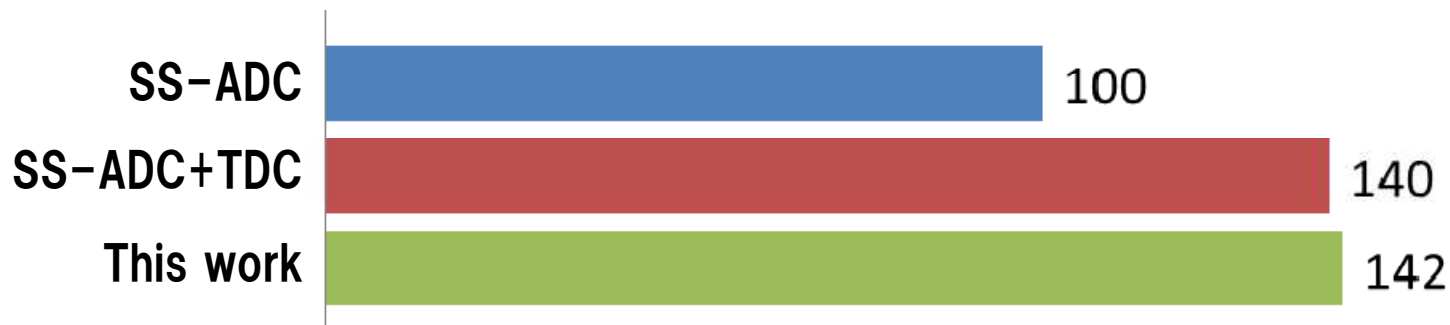
(SS-ADC:8bit, TDC:4bit Sim.)



Intelligent LSI Systems Lab.



1変換時間に必要な消費電力 (uW·usec)



各方式の面積(SS-ADCを100とする)

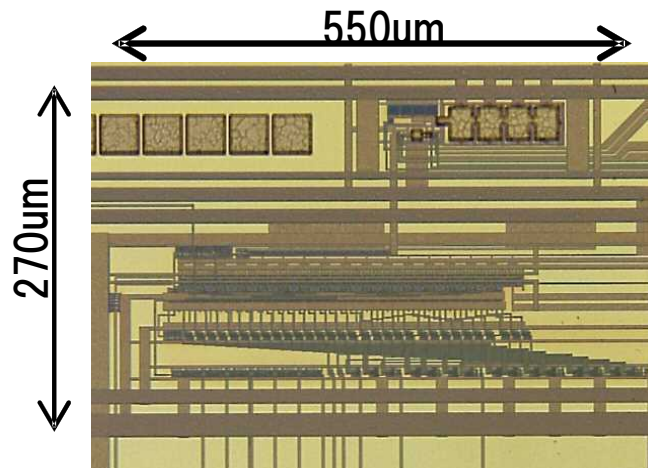
ADC+TDC方式と比較し**38%の電力削減**(SS-ADCと比較し92%の削減)
面積は、ADC+TDC方式と比較し**1.4%の増加**(SS-ADCと比較し42%の増加)



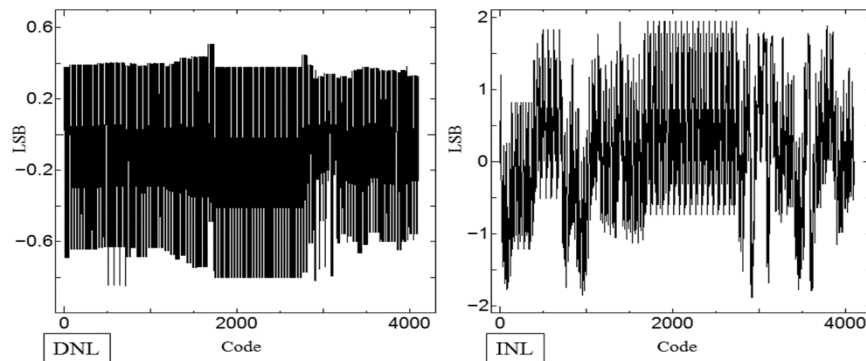
シミュレーションと実証実験との比較



Intelligent LSI Systems Lab.



センサーネットワーク用ADC



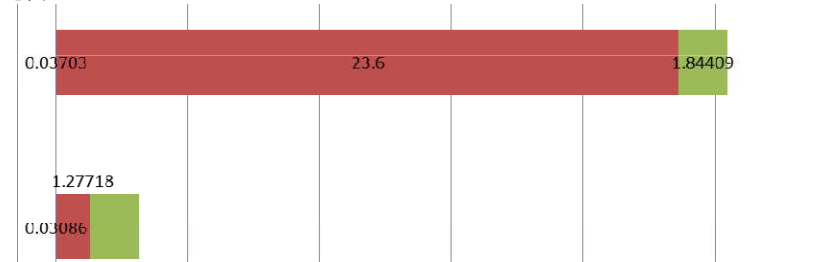
線形性の実測

12bitADC、100KHzのシミュレーション結果

<TDC (6bit) + SS-ADC (6bit) >

従来型TDC + SS-ADC

(比較器0.03+**TDC23.6**+カウンタ1.84= 25.48uw)



本発明TDC + SS-ADC

(比較器0.03+**TDC1.28**+カウンタ1.86= 3.17uw)

消費電力の実測値 (TDC + SS-ADC) = 4.25uW



従来技術とその問題点



Intelligent LSI Systems Lab.

- 発表技術として、Sony₁, Hokudai₂等があるが、TDCの常時駆動により、電力の削減が難しかった。そのため、速度と低電力の両立の問題があり、広く利用されるまでには至っていない。

- 1) Takahashi, T. et. al., ; Sony Corp., Atsugi, Japan "A digital CDS scheme on fully column-inline TDC architecture for an APS-C format CMOS image sensor" VLSI Circuits (VLSIC), 2011 Symposium on, ISBN:978-1-61284-175-5
- 2) S. Muung, M.Ikebe "Column parallel single-slope ADC with time to digital converter for CMOS imager" IEEE ICECS2010, ISBN: 978-1-4244-8155-2



新技術の特徴・従来技術との比較



Intelligent LSI Systems Lab.

- 従来技術では、TDCで変換速度を向上させても、TDCが電力を消費してしまうため、速度と低電力がトレードオフになってしまう問題点があった。
- 本技術の適用により、下記が可能となる。
 - TDCとSS-ADCの完全同期
 - TDCの電力の削減
 - 変換速度と低電力の両立



想定される用途・業界



Intelligent LSI Systems Lab.

- 本技術は、
積分型AD変換器の高速化に関するものであり、
センシングされたアナログ信号をデジタル化する
分野に適用することができる。
- 特に、AD変換器を並列化して使用する用途には、
低面積・高速・低電力である本技術が適する。
- アナログ・デジタル集積回路
 - センシング用途（例：センサネットワーク用ADC）
 - 特に2Dアレイセンシング



想定される業界



Intelligent LSI Systems Lab.

- アナログ・デジタル集積回路
 - センシング用途 (例: センサネットワーク用ADC)
 - 特に2Dアレイセンシング



実用化に向けた課題



Intelligent LSI Systems Lab.

- 現在、性能指標については、シミュレーションで確認している。回路は試作・単体ADCは検証済み。
- 今後、試作チップ（イメージセンサ）の詳細な動作・検証を行う。
- 実用化に向けて、実検証・シミュレーション結果を考慮しながら、製造バラツキ等に強固な設計手法を確立する。



企業への期待



Intelligent LSI Systems Lab.

- シングルスロープ-ADCは、小面積の構成で高精度（12ビット）程度のADCを実現できる。しかし、高速化と低電力化がトレードオフである。本発明は、それらを解決する。
- センサ用途（各種センシング・イメージセンサ）考えている企業には、本技術の導入が有効と思われる。
- よって、本発明を商用利用して下さる技術移転先を希望する。



産学連携の経歴



Intelligent LSI Systems Lab.

- 2006年-2008年 NEDO若手研究グラントに採択
- 2007年-2008年 JSTシーズ発掘試験に採択
- 2005年-(継続) A社と共同研究実施
- 2011年-(継続) B社と共同研究実施
- 2012年-(継続) C社/他大学と共同プロジェクト実施



本技術に関する知的財産権



Intelligent LSI Systems Lab.

発明の名称：積分型AD変換装置および
CMOSイメージセンサ

出願番号：特願2012-033196号

(PCT出願中)

出願人：北海道大学

発明者：池辺 将之



お問い合わせ先



Intelligent LSI Systems Lab.

北海道大学産学連携本部
産学連携マネージャー
齋藤 幸隆

TEL: 011-706-9554

FAX: 011-706-9550

E-mail: y_saito@mcip.hokudai.ac.jp