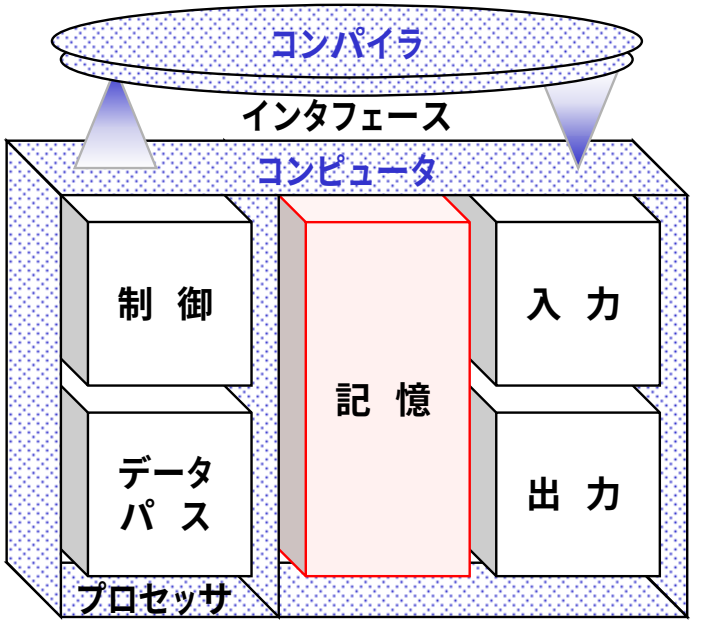
7．容量と速度の両立：記憶階層の利用

- 記憶階層
  - 時間的局所性・空間的局所性、メモリの基本
- キャッシュ
  - ダイレクト・マップ方式
  - キャッシュの性能測定
  - セット・アソシアティブ方式
  - マルチ・レベル・キャッシュ
- 仮想記憶
  - ＴＬＢ



記憶階層の基本原理

局所性の法則

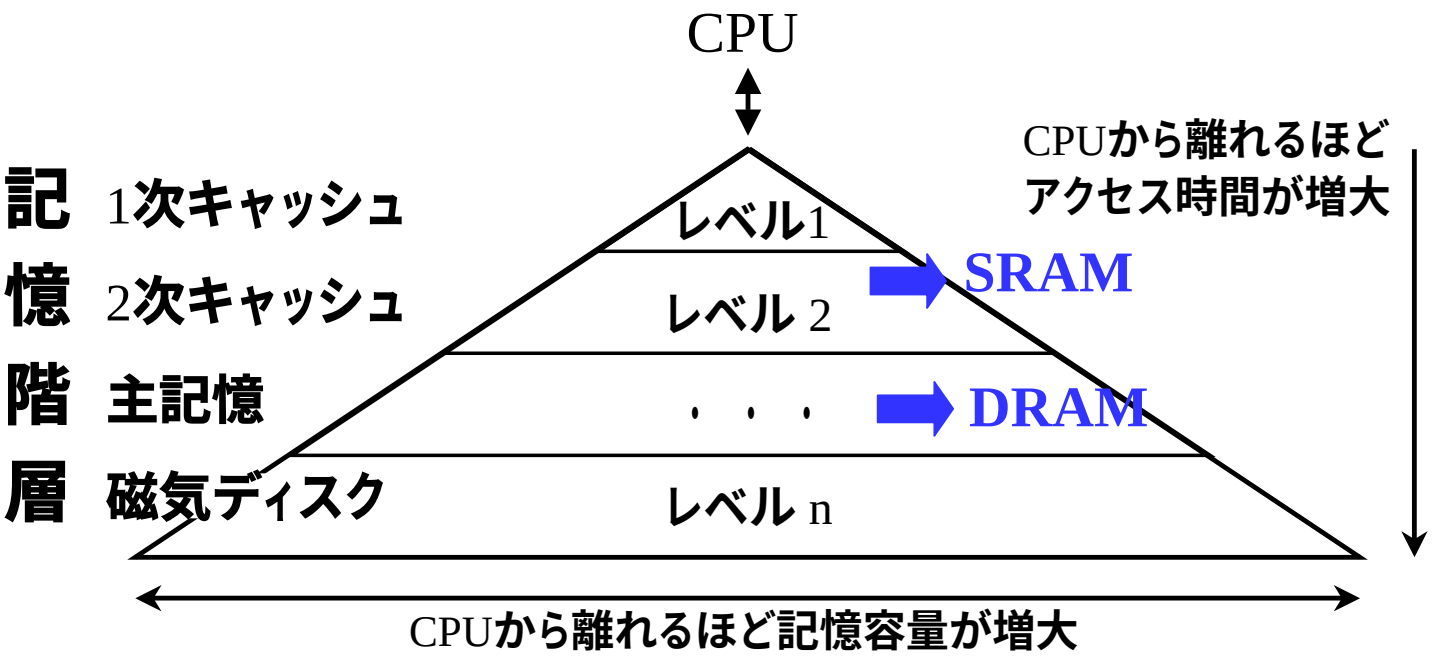
時間的局所性：ある項目が参照された場合、
その項目がまもなく再び参照される確率が高い

空間的局所性：ある項目が参照された場合、
その項目の近くにある項目がまもなく再び参照される確率が高い

記憶階層を構成するために使用される主要テクノロジ

メモリ テクノロジ	代表的なアクセス時間	1997時点の 1Mバイト当りのコスト
SRAM	1〜25 ns（ 1 ）	100〜250ドル（ 1,000 ）
DRAM	60〜120 ns（ 50 ）	5〜10ドル（ 50 ）
磁気ディスク	10〜20 ms（5,000,000）	0.1〜0.2ドル（ 1 ）

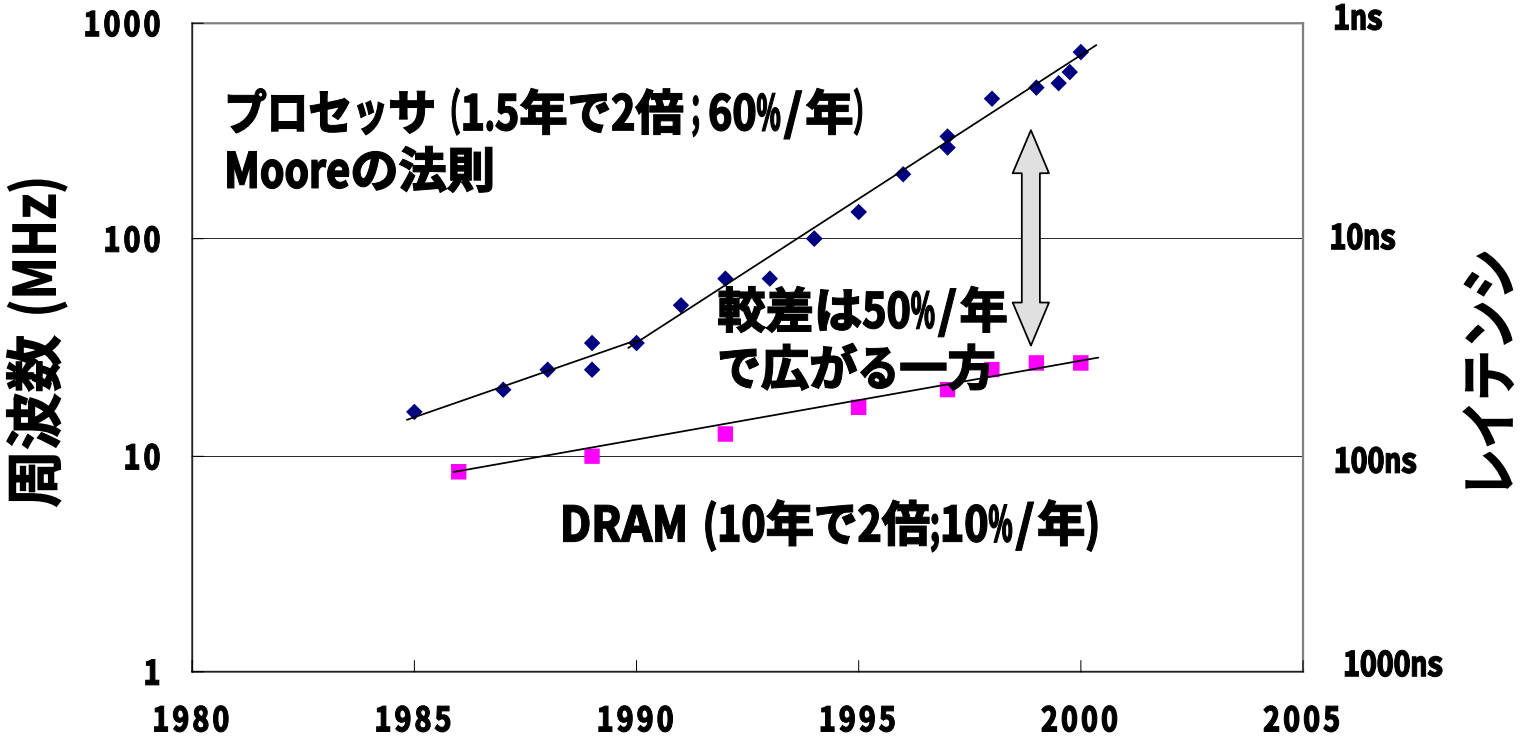
記憶階層の構造



- 隣接する2レベル間で、ブロックと呼ぶ単位でデータを取り交わす
- プロセッサ（CPU）に近い方の上位ベルのメモリは、
  遠い方の下位レベルのメモリよりも、容量は小さいが高速

キャッシュメモリによる計算機性能向上

- 年々広がるプロセッサ対DRAMの性能格差
- キャッシュメモリによるコンピュータ性能向上の効果大

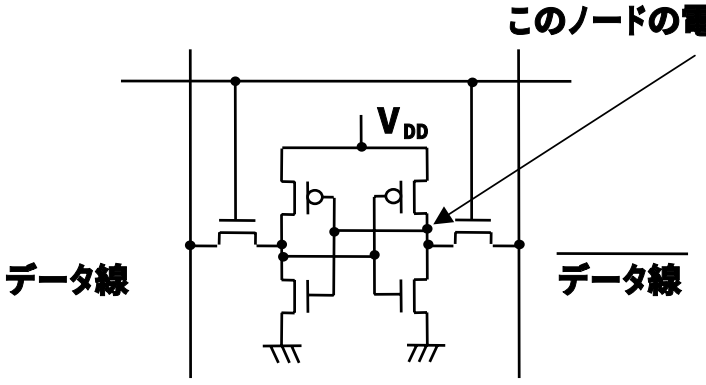


メモリの基本： SRAMとDRAM

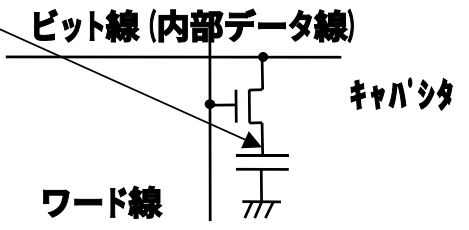
RAMは、「SRAM(Static RAM)」と「DRAM(Dynamic RAM)」に大きく分けられる。その違いは、データの記憶方法である。

SRAMはトランジスタによるフリップフロップ回路で構成され、この回路に“1” 、 “0”という論理値レベルでデータを記憶する。

DRAMはトランジスタ1個とキャパシタ1個で構成され、このキャパシタに電荷を蓄えるか否かで"1"、"0"を記憶する。

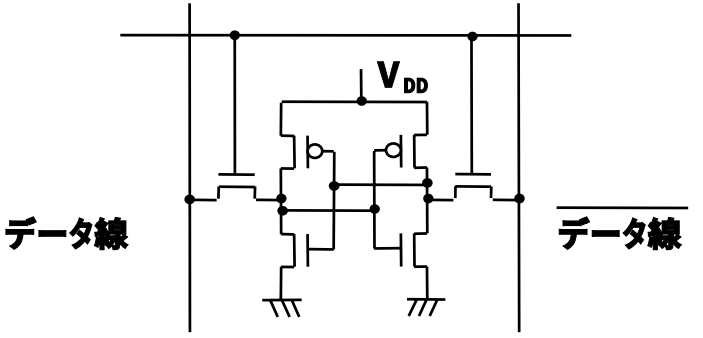


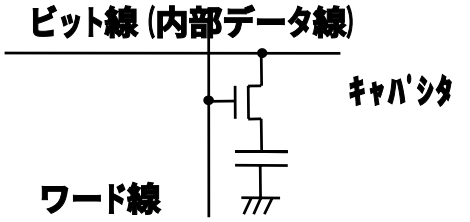
SRAMのメモリセル構造



DRAMのメモリセル構造

SRAMとDRAMの比較





SRAMの特徴

・トランジスタ回路で構成

・リード(読み出し)・ライト(書き込み) の動作シンプル

・高速動作が可能

・大容量化が難しい

・高速性が要求されるキャッシュメモリ

DRAMの特徴

・キャパシタに蓄えられた微小な電荷でデータを記憶

・記憶を維持するための「ﾘﾌﾚｯｼｭ」が必要。リード動作は2段階ｱﾄﾞﾚｯｼﾝｸﾞ。

・高速動作がしにくい

・大容量化が可能

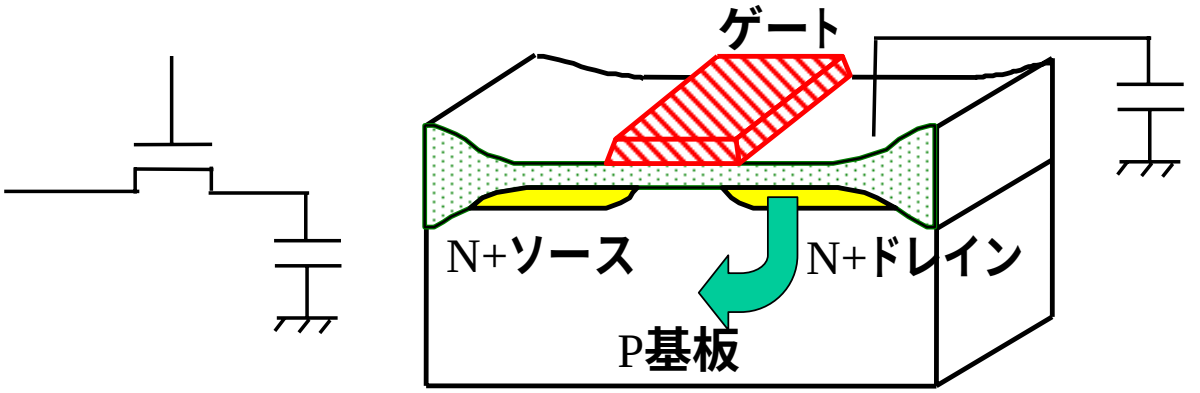
・大容量が要求されるメインメモリ

DRAMの動作　記憶の保持 (リフレッシュ)

DRAMはその構造上、キャパシタに蓄えた電荷が時間とともに消滅してしまうという弱点がある。

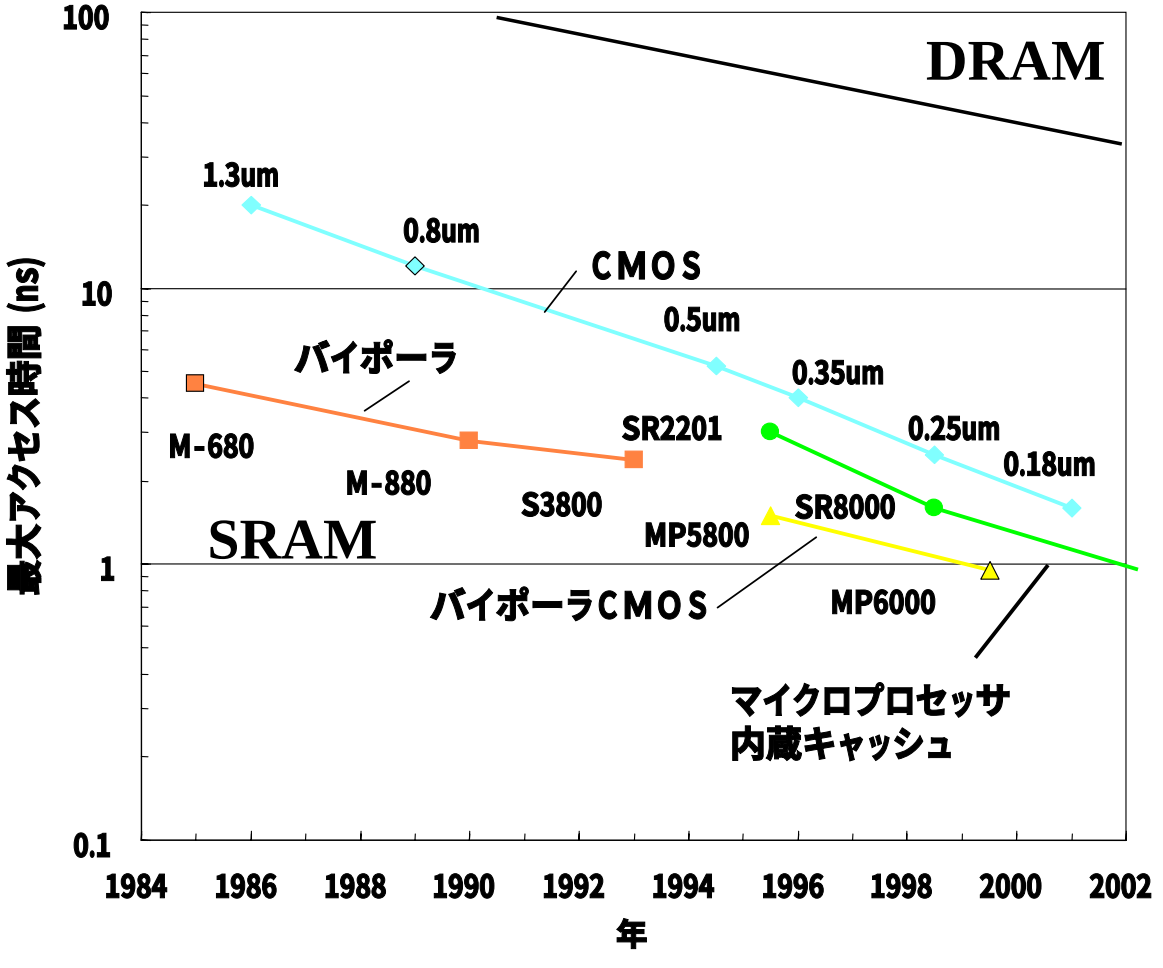
MOSトランジスタはGNDに接続されたP型半導体、ソース、ドレインにあたるN型半導体、ゲート電極により構成されているが、N型半導体に存在する電荷はP型半導体に接続されたGNDに微小ながら流れ出す(リークする)特性がある。したがってキャパシタ電圧は徐々に低下してしまう。そのためDRAMでは記憶を保持するためにキャパシタ電圧を復帰させるリフレッシュ動作を定期的に行なう必要がある。

リフレッシュはリード動作と同じ処理で行なわれる。

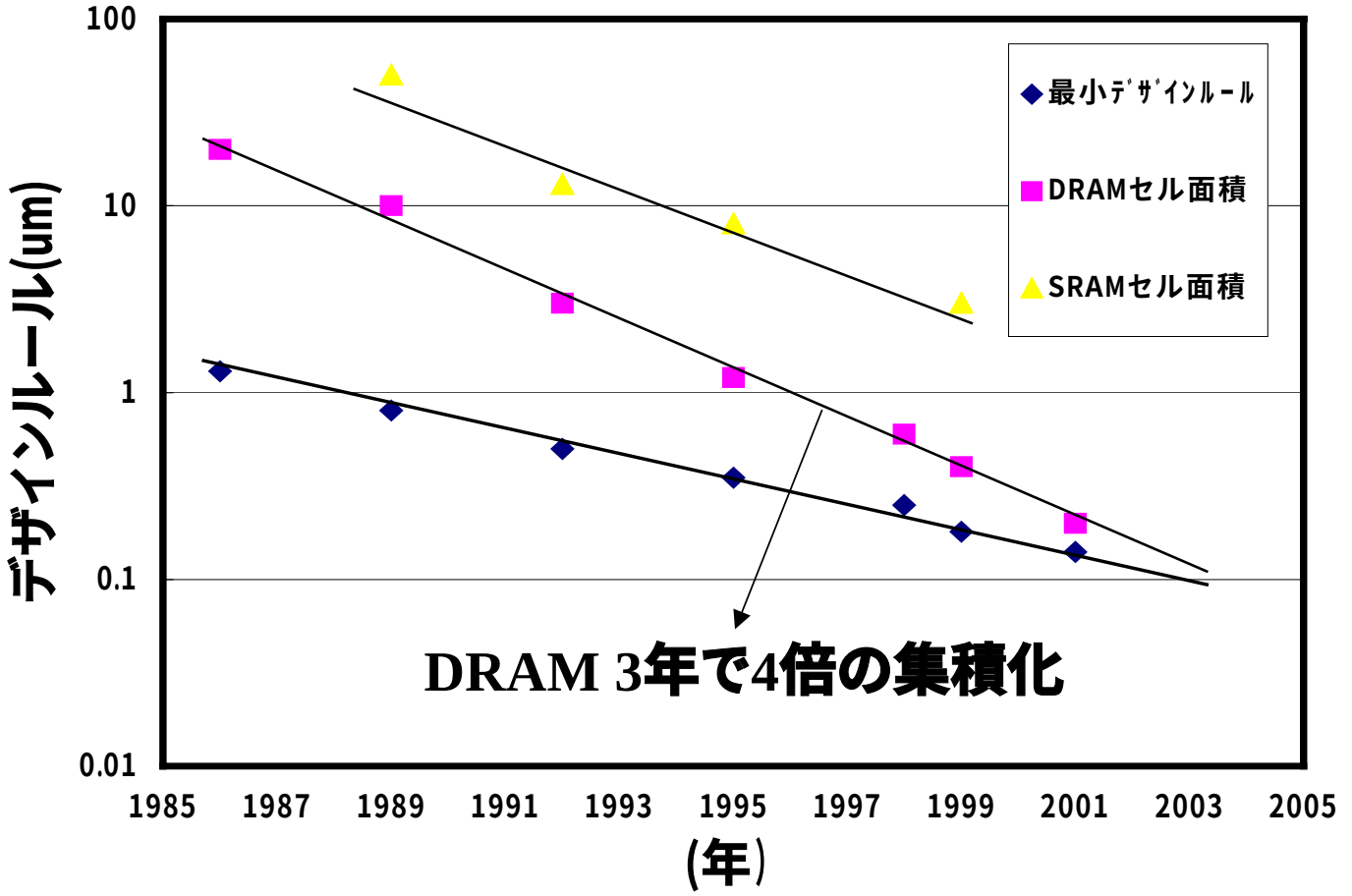


メモリセル電荷のリーク

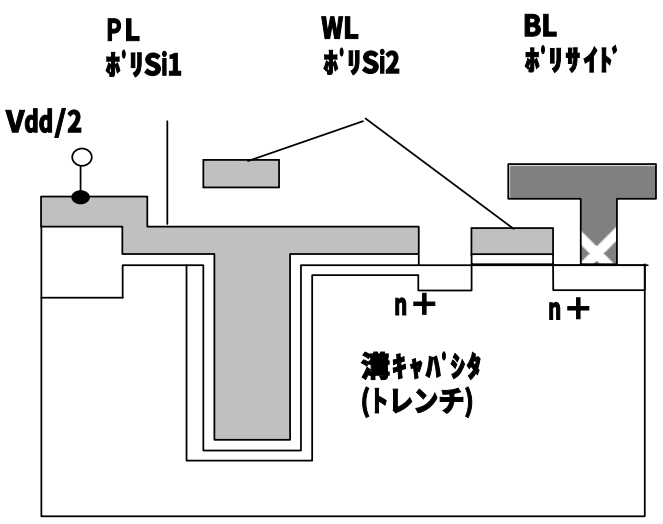
高速キャッシュSRAMのアクセス時間推移



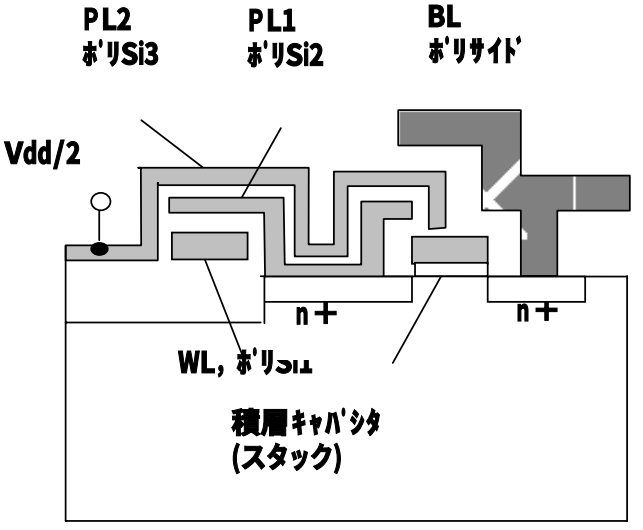
メモリセルサイズの推移



DRAMの3次元キャパシタ構造の例

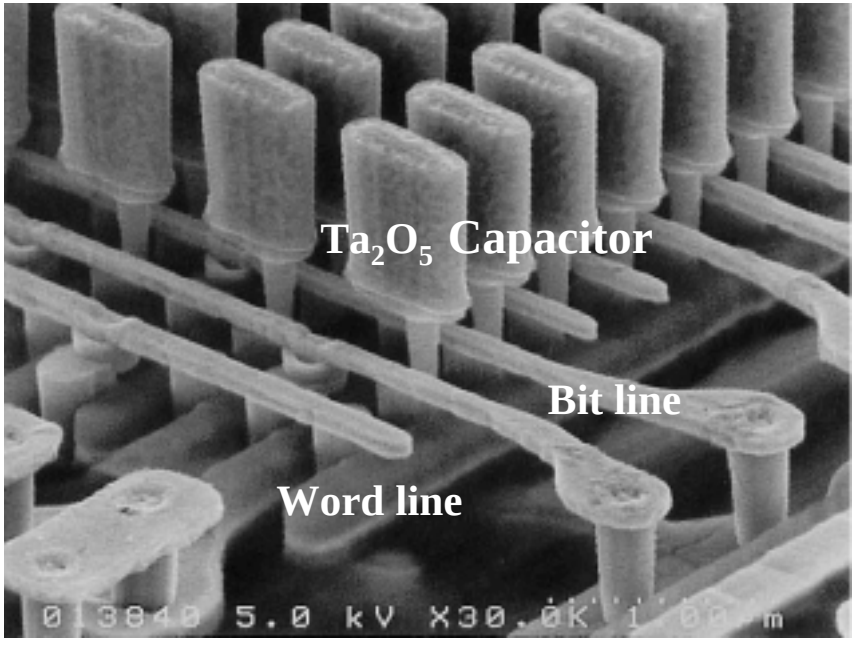


(A)トレンチタイプ

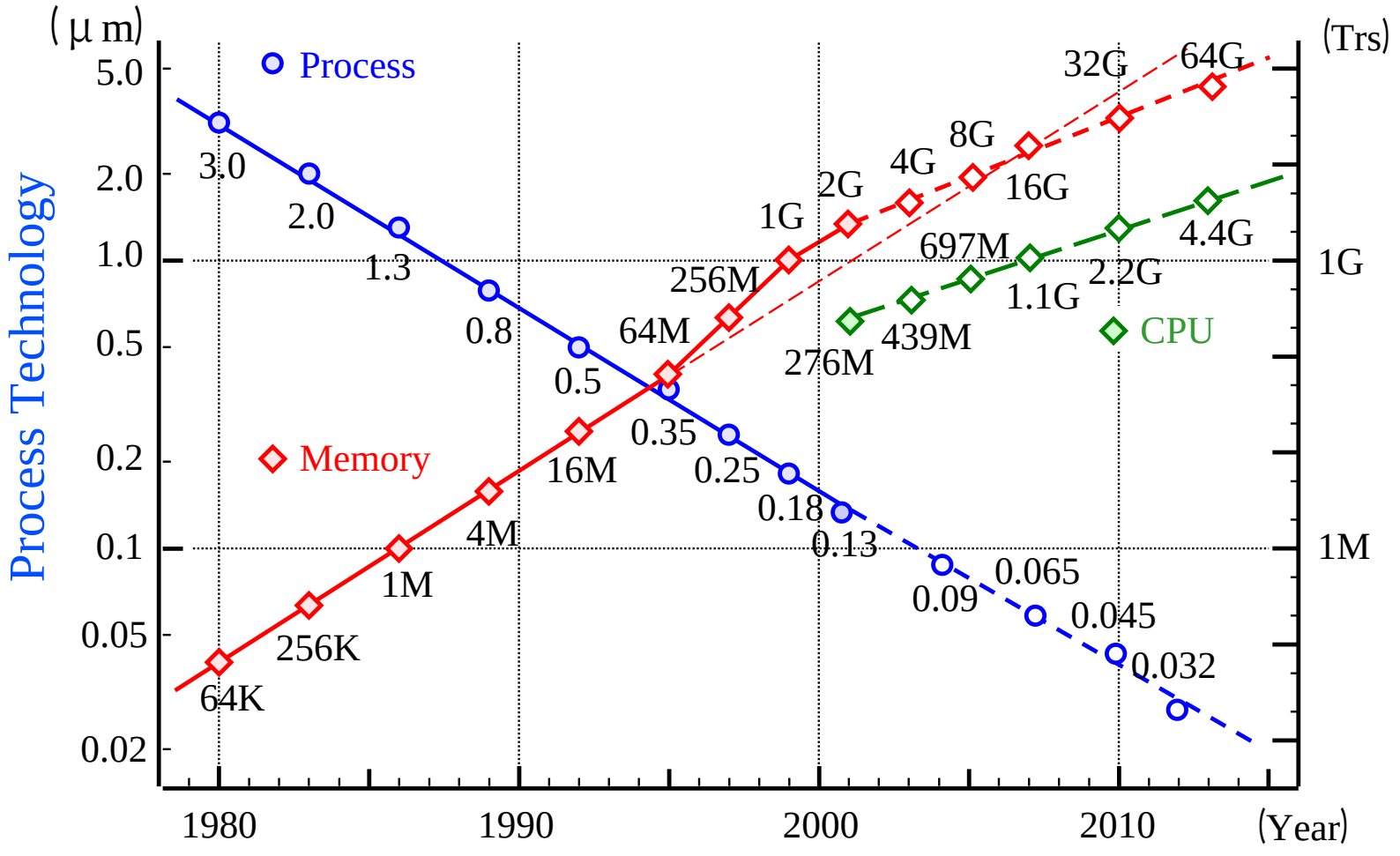


(B)スタックタイプ

DRAMの3次元キャパシタ構造の例

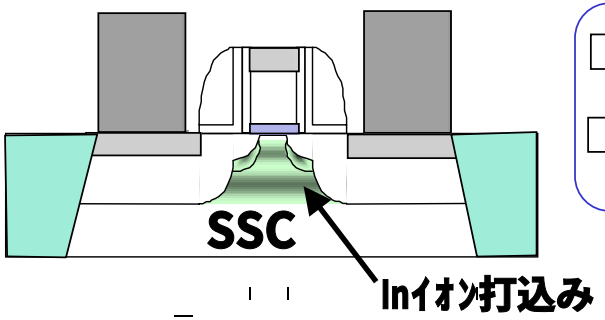


International Technology Roadmap for Semiconductors 2002

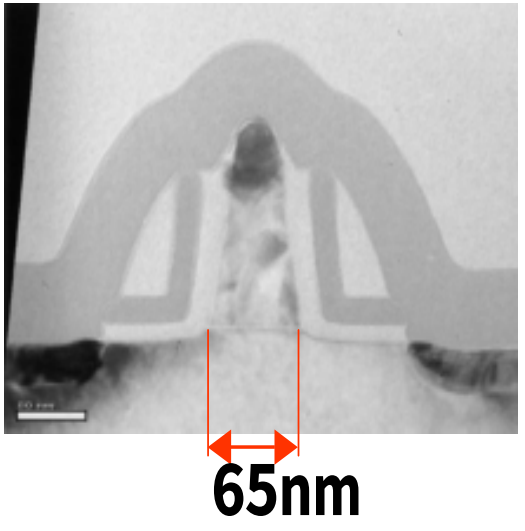


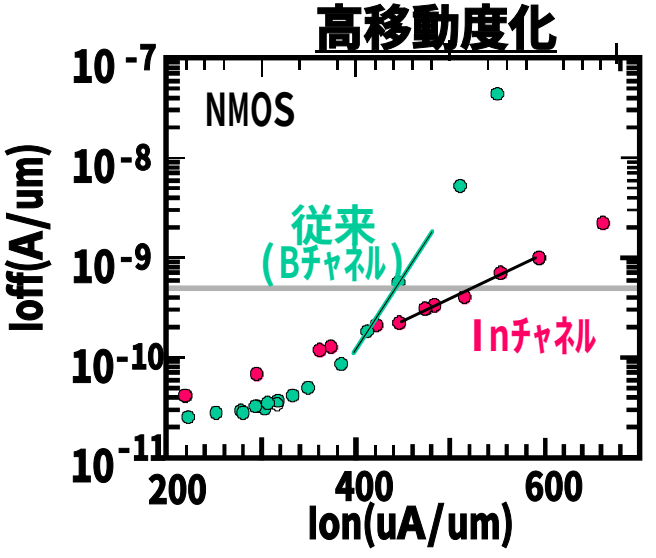
90nmﾉｰﾄﾞCMOSﾃﾞﾊﾞｲｽ技術

低消費電力対応ﾁｬﾈﾙ構造
(SSC: Super Steep Channel、IEDM2001にて発表)



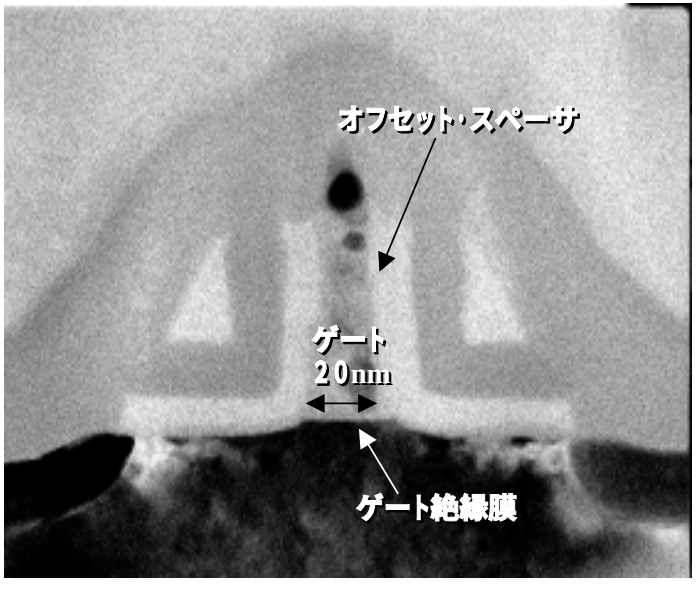
- 特徴1　低表面濃度 ⇒ 高移動度・低ﾉｲｽﾞ
- 特徴2　高基板定数 ⇒ ｵﾌ電流制御





20nm CMOSデバイス技術

世界最高速のCOMS技術を開発



ゲート長　20nm

世界最高速の動作速度　280fs

窒化膜系ゲート絶縁膜

ゲートリーク電流を一桁低減

(2002　VLSI　Symposiumで発表)

7．容量と速度の両立：記憶階層の利用

・記憶階層

時間的局所性・空間的局所性、メモリの基本

・キャッシュ

ダイレクト・マップ方式

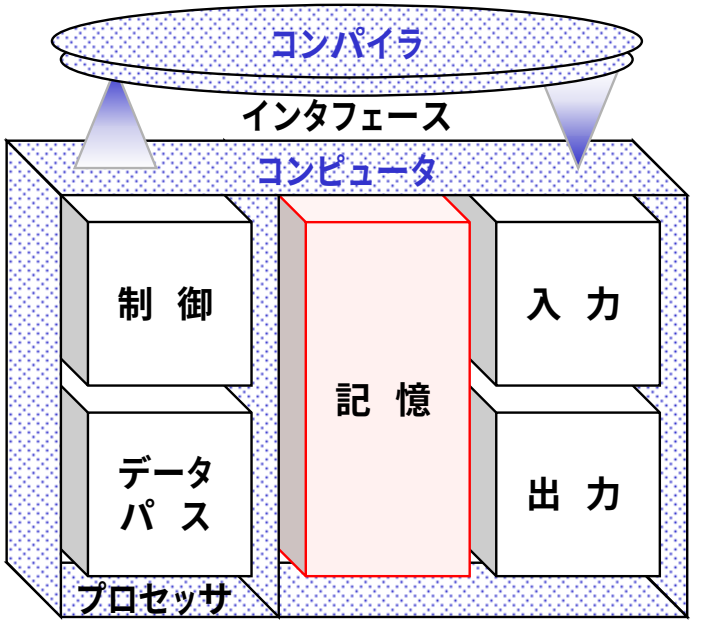
キャッシュの性能測定

セット・アソシアティブ方式

マルチ・レベル・キャッシュ

・仮想記憶

ＴＬＢ



記憶階層の構造

○ヒット率：
　　プロセッサから要求されたデータが上位レベルで見つかる割合
●ミス率：
　　アクセスしたデータが上位レベルで見つからない割合

△ヒット時間：
　　記憶階層の上位レベルのアクセスにかかる時間
　　（アクセスがヒットするかミスするかの判定に必要な時間を含む）
▲ミス・ペナルティ：
　　下位レベル中の求めるデータ・ブロックで上位レベルの対応する
　　ブロックを置き換え、プロセッサに取り込むのに要する時間

データアクセス時間＝ヒット時間＋ミス・ペナルティ時間＊ミス率

キャッシュ (Cache)

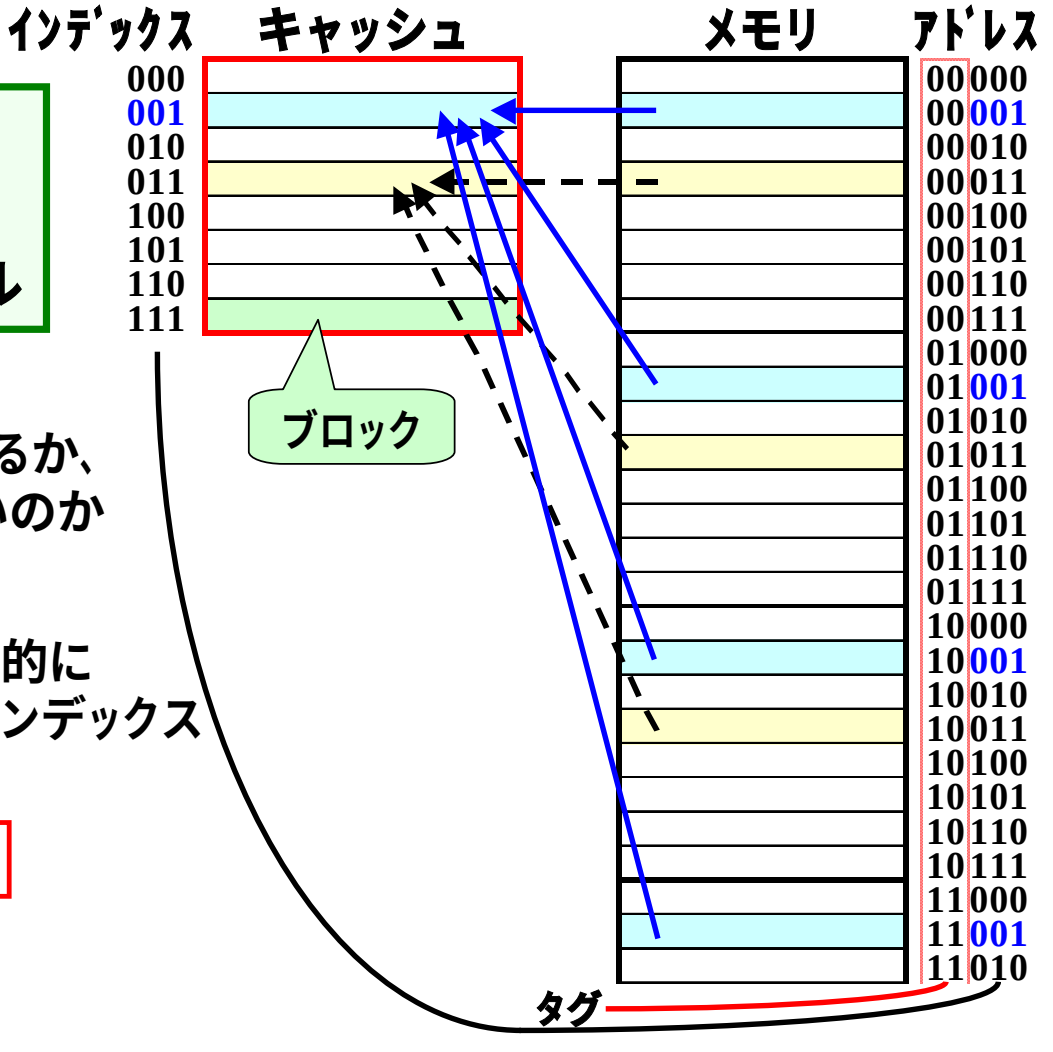
キャッシュ
CPUとメモリとの間に
挿入された記憶階層レベル

キャッシュ内のどこに存在するか、
それとも、どこにも存在しないのか

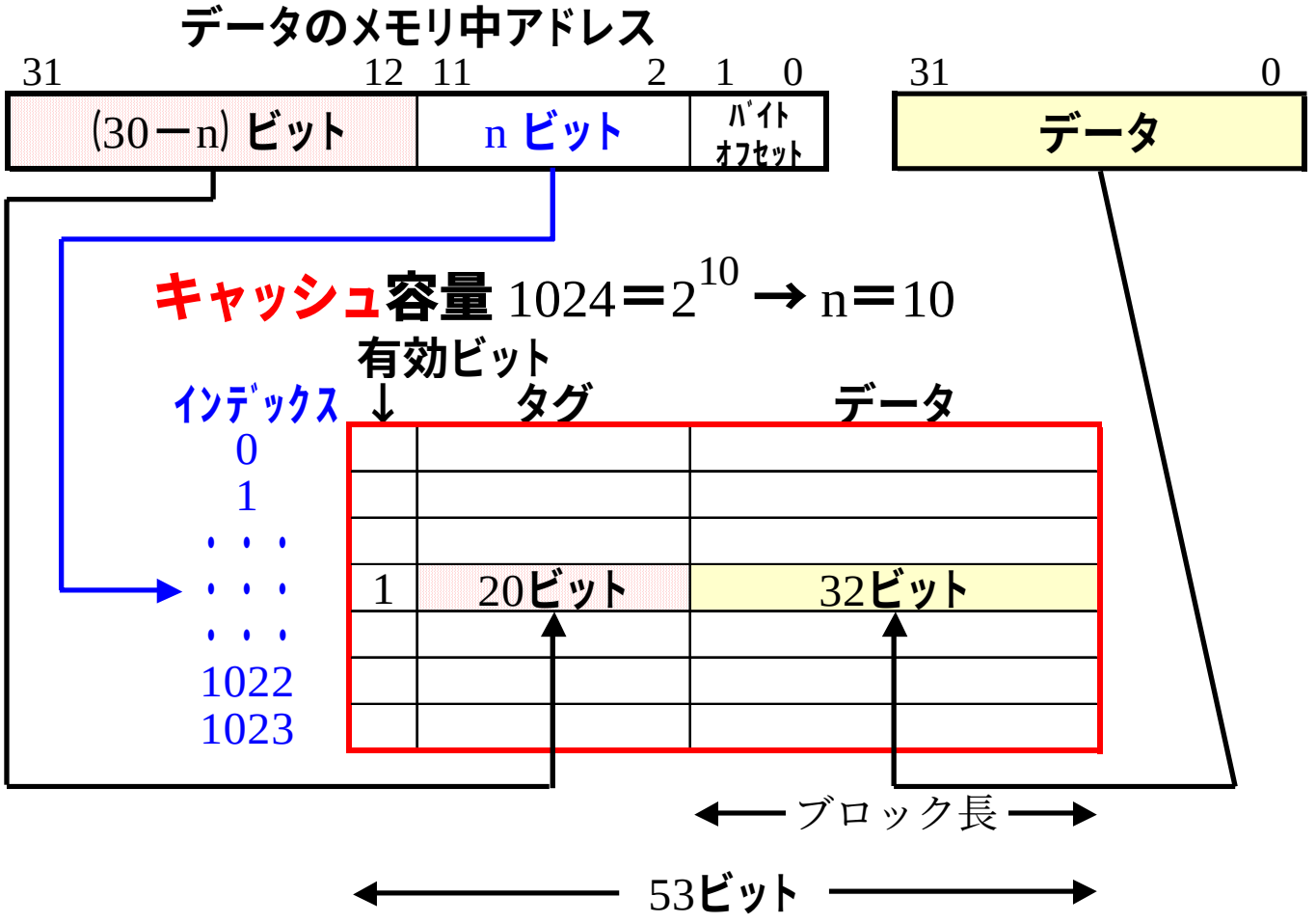
↓

・メモリ中のアドレスから一意的に
キャッシュ中のブロックのインデックス
が決まるように対応付ける

ダイレクト・マップ方式



ダイレクト・マップ方式 (1)



ダイレクト・マップ方式 (2)

ダイレクト・マップ方式：
　語単位データのメモリ中アドレスに基づいて、
　キャッシュに入れる位置を割当てる方法

キャッシュに付加する情報

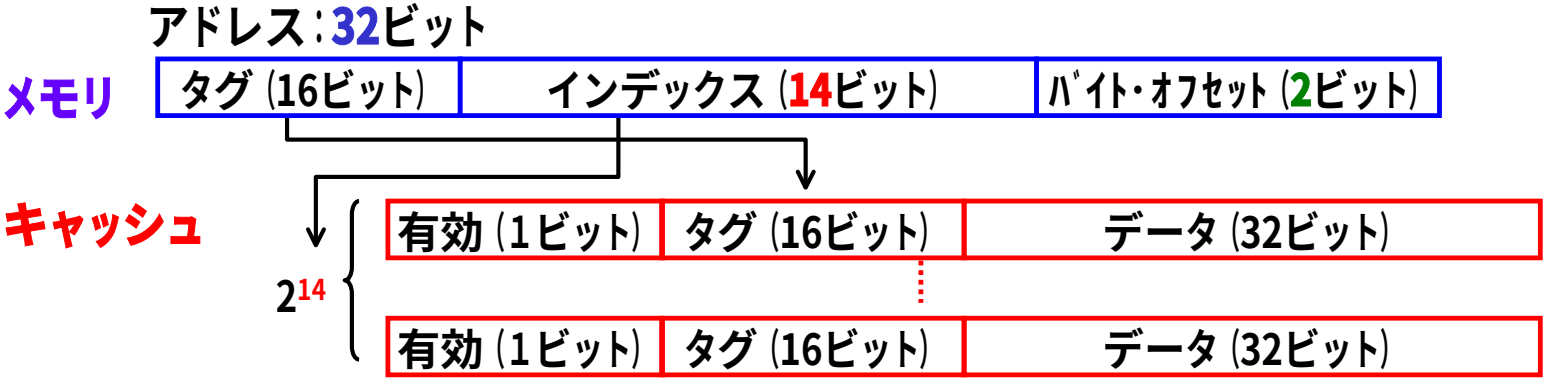
インデックス：
　メモリ中アドレスの該当下位ビット
　キャッシュのブロックを選択するために使用
　　ブロック位置＝メモリのブロック・アドレス modulo キャッシュ・ブロック数

タグ：
　メモリ中アドレスのキャッシュ中インデックスに当る部分より
　上位のビット部分
　求める語がキャッシュ中にあるか否かを判断するために使用

有効ビット：
　データの有効性を示す

キャッシュのビット数例

64Kバイトのデータを保持するダイレクト・マップ方式のキャッシュに必要な総ビット数は？
ブロック・サイズ：1語（4バイト）、メモリのアドレス：32ビット



ブロック長：　1語＝32ビット
ブロック数（2^n）：　64Kバイト＝16K語＝2^{14}語＝2^{14}ブロック
タグ長：　アドレス長－n－バイト・オフセット長＝32－14－2ビット=16ビット
有効ビット：　1ビット

キャッシュ総容量＝2^n×（ブロック長＋タグ長＋有効ビット長）
＝2^{14}×（32＋16＋1）＝2^{14}×49＝784×2^{10}＝784Kビット

キャッシュへのアクセス例

インデックス	有効	タグ	データ
000	N		
001	N		
010	N		
011	N		
100	N		
101	N		
110	N		
111	N		

a. 電源を入れた後の初期状態

インデックス	有効	タグ	データ
000	N		
001	N		
010	N		
011	N		
100	N		
101	N		
110	Y	10_2	メモリ(10110_2)
111	N		

b. アドレス (10110_2) のミスを処理した後

インデックス	有効	タグ	データ
000	Y	10_2	メモリ(10000_2)
001	N		
010	Y	11_2	メモリ(11010_2)
011	Y	00_2	メモリ(00011_2)
100	N		
101	N		
110	Y	10_2	メモリ(10110_2)
111	N		

c. アドレス (00011_2) のミスを処理した後

インデックス	有効	タグ	データ
000	Y	10_2	メモリ(10000_2)
001	N		
010	Y	10_2	メモリ(10010_2)
011	Y	00_2	メモリ(00011_2)
100	N		
101	N		
110	Y	10_2	メモリ(10110_2)
111	N		

d. アドレス (10010_2) のミスを処理した後

キャッシュ･ミスの取扱い

キャッシュ･ミスの取扱い (基本アプローチ)

(1) CPUをストールさせ、すべてのレジスタの内容を凍結する
(2) 専用の制御ユニットによってキャッシュ･ミスの処理を行い、
　メモリからキャッシュにデータをコピーする
(3) キャッシュ･ミスの発生した時点から処理を再開

命令の参照に対するミスが発生した場合の
マルチサイクル/パイプライン･データーパスにおける処理

1. 元のＰＣ値 (ＰＣ－4) をメモリに送る。
2. 主記憶から読出しをおこなうように指示し、完了を待つ。
3. キャッシュの該当ブロックに書き込みを行う。
　(データの格納、アドレスの上位ビットをALUからタグ･フィールドへ
　格納、有効ビットＯＮ)
4. 実行命令を最初のステップから再開する。(命令をフェッチし直す)

キャッシュとメモリの一貫性

データの書込みもキャッシュで高速に行う。

しかし、キャッシュのみに書込みを行うとすると、
キャッシュの内容と対応するメモリの内容が異なることになる。

||

キャッシュと主記憶が**一貫性**をなくした

キャッシュとメモリの一貫性

キャッシュと主記憶に一貫性を持たせる方法

ライト・スルー方式

書込み発生時に、キャッシュとメモリの両方にデータを書込む。

○ 単純処理

△ 書き込みに時間がかかる

ライト・バッファ方式:

メモリ書込み待ちデータを一時蓄えておく場所であるバッファを設け、
バッファが満杯になった時点で、バッファ内容をメモリに書込む。

○ キャッシュとライト・バッファに書き込んだら処理を続行可能

△ 書き込もうとした時ライト・バッファが満杯だと、空きができるまでストール要

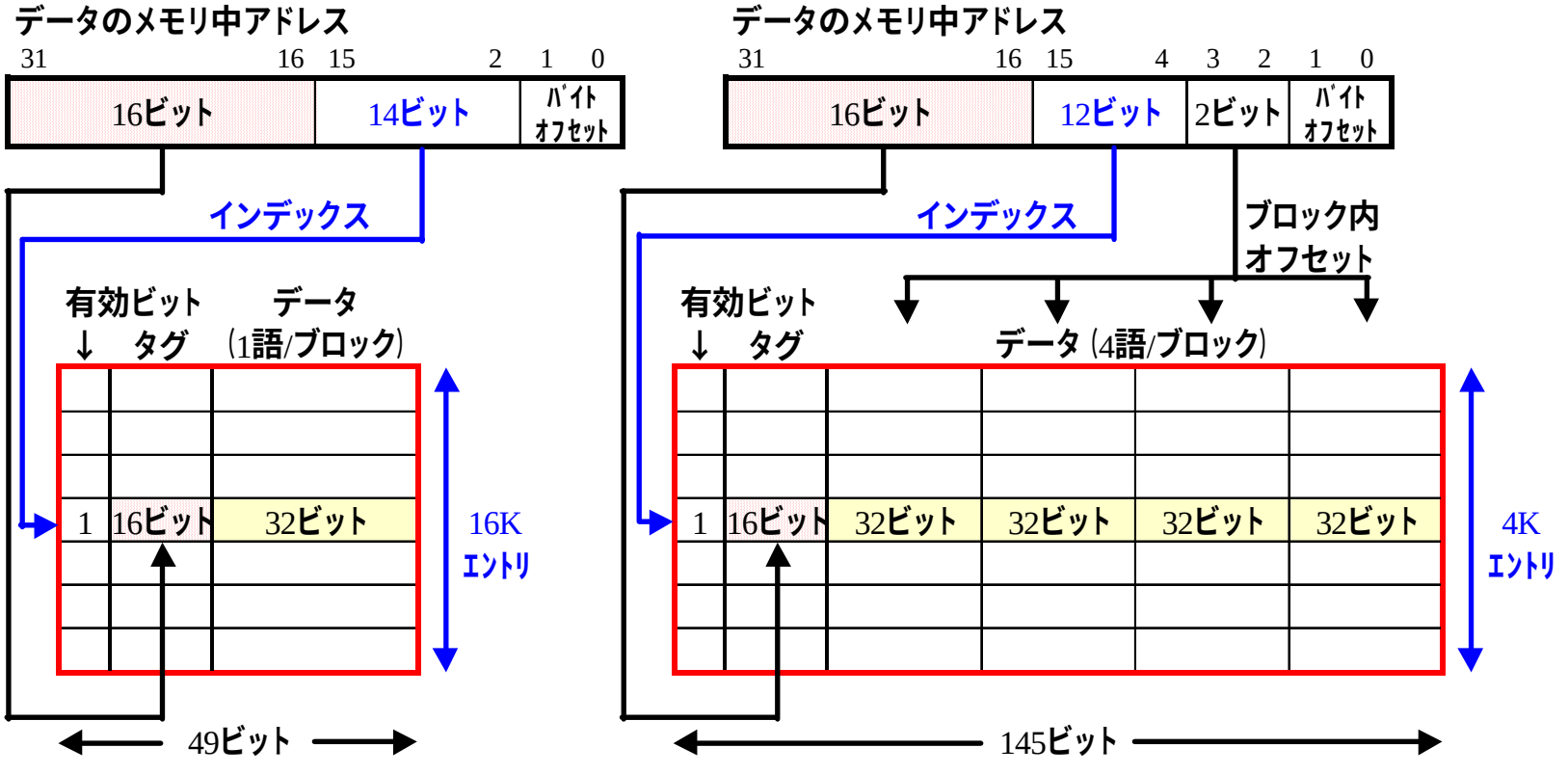
ライト・バック方式

書込み発生時には、キャッシュにのみデータを書込む。
キャッシュ内容の置換発生時に、置換前のキャッシュ内容をメモリに書込む。

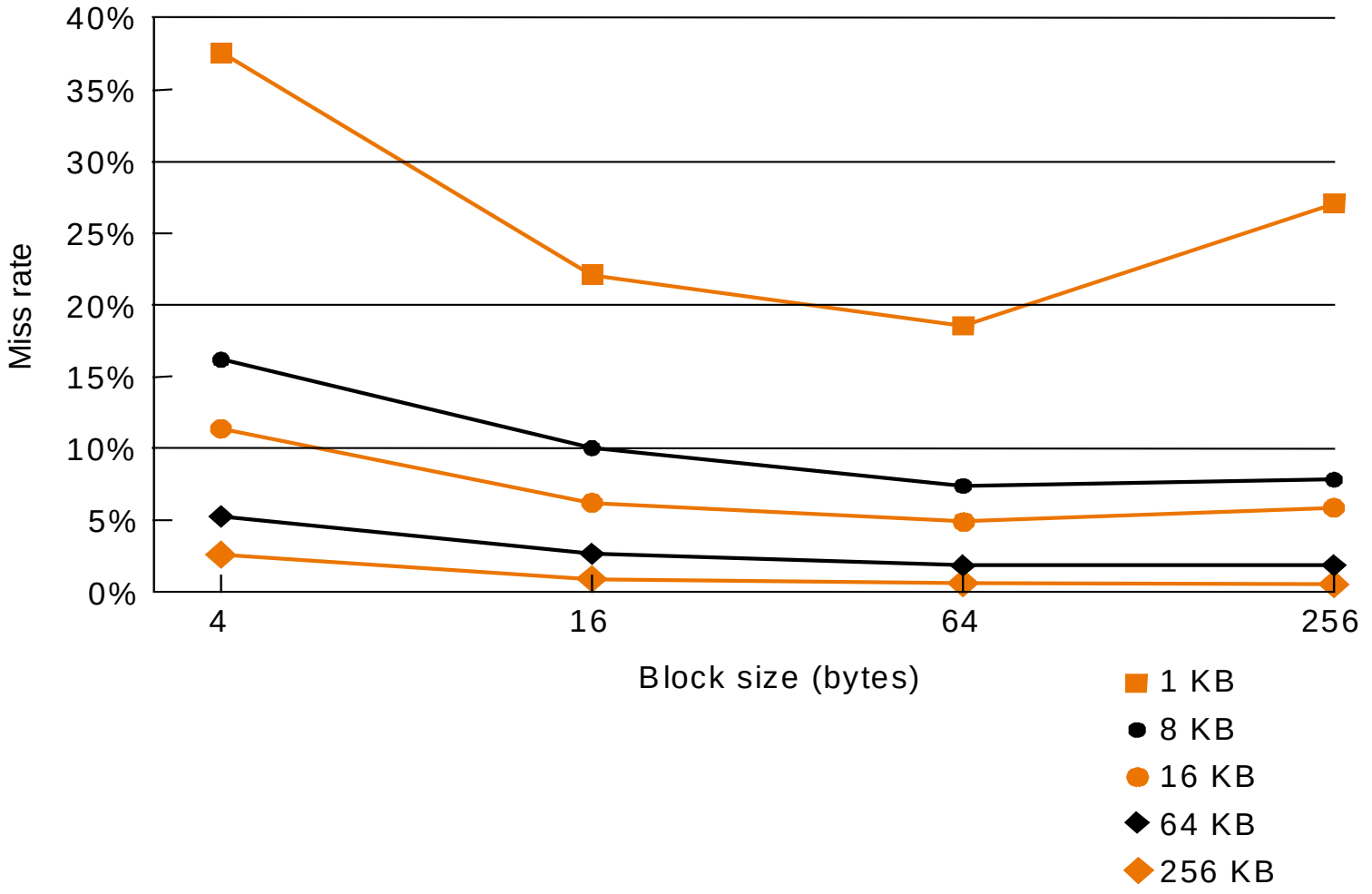
△ 実現方法が複雑

空間的局所性の利用

空間的局所性の利用 ー キャッシュ・ミス率の低減
ブロックサイズ＝1語 → 複数語

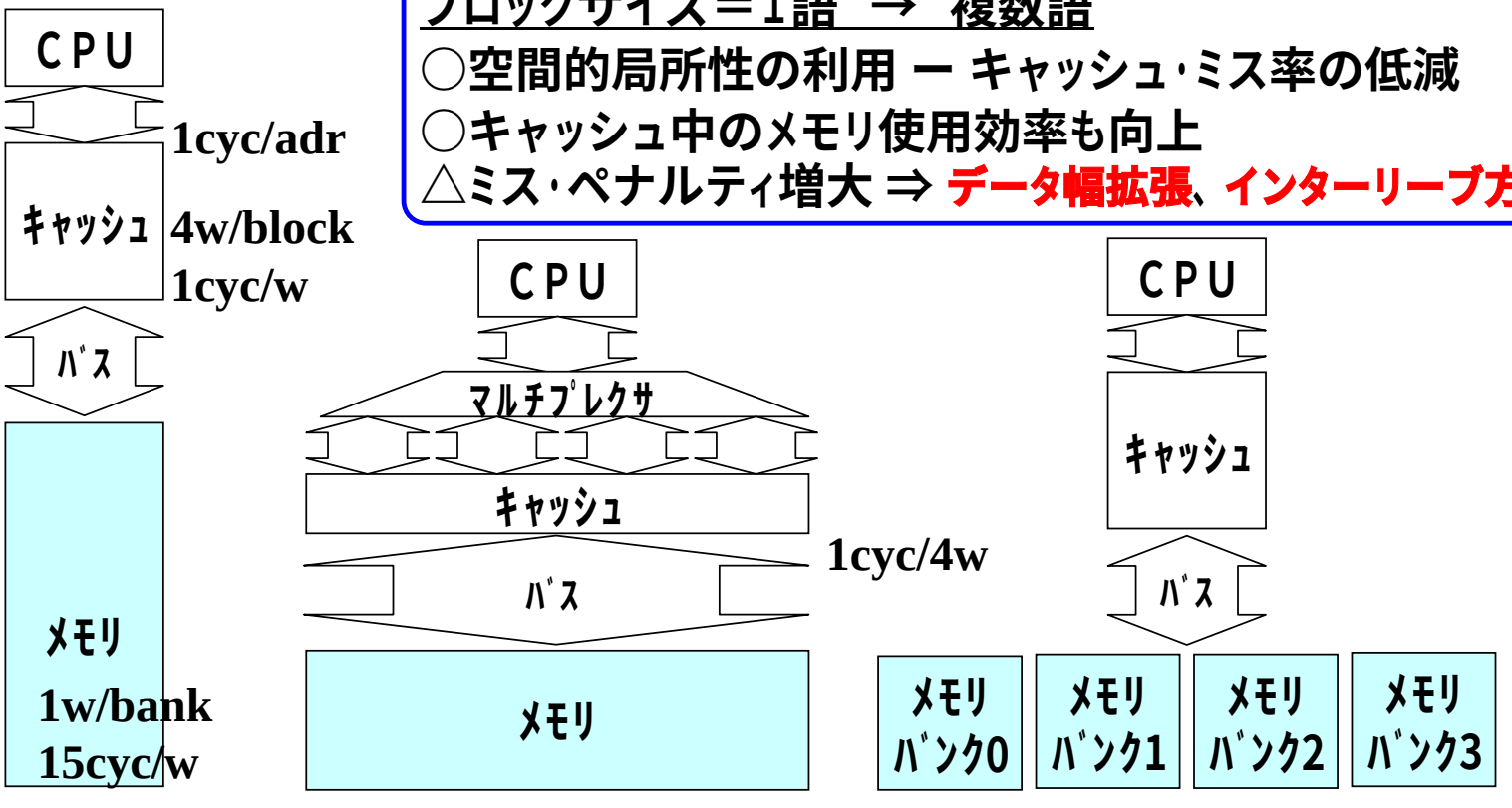


ミス率とブロックサイズの関係



キャッシュを支援する記憶システム

ブロックサイズ＝1語 → 複数語
○空間的局所性の利用 ー キャッシュ・ミス率の低減
○キャッシュ中のメモリ使用効率も向上
△ミス・ペナルティ増大 ⇒ **データ幅拡張、インターリーブ方式**



a. 1語幅　　b. データ幅拡張　　c. インターリーブ方式

キャッシュミスペナルティ：

1+4X1+4X15=65cyc　　1+1+15=17　　1+4X1+15 =20

キャッシュの性能測定

CPU時間
　＝（CPU実行クロック数＋メモリ・ストール・クロック数）×クロック・サイクル時間

メモリ・ストール・クロック数
　＝読出しストール・クロック数＋書込みストール・クロック数

読出しストール・クロック数
　＝プログラム当たりの読出し件数×読出しミス率×読出しミス・ペナルティ

書込みストール・クロック数
　＝（プログラム当たりの読出し件数×読出しミス率×読出しミス・ペナルティ）
　　＋書込みバッファ・ストール

キャッシュの性能測定

ライト・スルー方式の場合

読出しストール・クロック数＝書込みストール・クロック数

メモリ・ストール・クロック数
＝プログラム当たりのメモリ・アクセス件数×ミス率×ミス・ペナルティ
＝プログラム当たりの命令アクセス件数×1命令アクセス当たりのミス率
×ミス・ペナルティ