

可変パイプラインを用いた低消費エネルギープロセッサの設計と評価

市川 裕 二[†] 佐々木 敬 泰^{††} 弘 中 哲 夫^{†††}
谷川 一 哉^{†††} 北村 俊 明^{†††} 近藤 利 夫^{††}

現在プロセッサには高性能と低消費エネルギーの両立が求められている。しかし、現在広く用いられている DVS のような電源電圧に依存した低消費エネルギー手法では将来的にエネルギー削減効率が低下する。そこで電源電圧に依存しないアーキテクチャレベルの低消費エネルギー手法である VSP (Variable Stages Pipeline) を提案する。VSP は動的にパイプライン段数を変更して実行時間を削減すると同時に、LDS-cell (Latch D-FF Selector-cell) と呼ばれる素子を用いてステージ統合時に増加する組合せ回路内のグリッチを緩和することで高性能と低消費エネルギーの両立をはかる。本論文では実際に LDS-cell のレイアウトを行った。また VSP 手法を用いたプロセッサを設計し、他の低消費エネルギー手法を用いたプロセッサと比較した。その結果、VSP 手法を用いたプロセッサは、低消費エネルギーモードにおいて、従来手法と比較して高性能と低消費エネルギーの両立が達成できることが分かった。

A Design and Evaluation of Low Energy Processor by Variable Stages Pipeline Technique

YUJI ICHIKAWA,[†] TAKAHIRO SASAKI,^{††} TETSUO HIRONAKA,^{†††}
KAZUYA TANIGAWA,^{†††} TOSHIKI KITAMURA^{†††} and TOSHIO KONDO^{††}

Recently, in the field of mobile computing, the achievement of low energy computing and high performance computing is required simultaneously. Dynamic Voltage Scaling (DVS) is a current major technique to realize this requirement. However, the lower the chip voltage becomes in the future, the less energy saving we get by DVS. Accordingly we propose Variable Stages Pipeline (VSP) processor which has a feature of a unifying pipeline stages by the use of flipflop called LDS-cell which has an ability to act as a latch or flipflop. We show that VSP processor can achieve lower energy computing and higher performance computing than a DVS processor on low energy mode.

1. はじめに

近年、モバイルコンピューティングの分野において低消費エネルギーと高性能の両立が要求されている。現在の代表的な低消費電力手法である DVS は、動的に電源電圧と動作周波数を変化させることで消費エネルギーを削減する。しかし、将来的な電源電圧の低下による電源電圧変化幅の減少によって消費エネルギーの削減効率が低下する。また、動作周波数の低下に比例して性能が低下する。そこで本論文では電源電圧に

依存しないアーキテクチャレベルの低消費エネルギー手法として VSP (Variable Stages Pipeline) を提案する。VSP はパイプライン段数を動的に変化することで、低消費エネルギー化を目指す手法である。VSP はパイプラインレジスタに通常の D-FF (D-Flip Flop) ではなく、以下 (1), (2) の動作を行う特殊なセルを搭載している。

- (1) パイプライン統合時にはパイプラインステージを統合させると同時に統合ステージ内に D-ラッチを挿入してグリッチの伝搬を緩和する。
- (2) パイプライン非統合時にはパイプラインレジスタの D-FF として動作する。

このセルによってパイプライン段数を動的に変化させると同時に、組合せ回路内のグリッチを緩和することでグリッチによって発生するエネルギーを抑え低消費エネルギー化を行う。さらに VSP は動作周波数の低下とともにパイプライン段数を動的に減少させるこ

[†] 広島市立大学大学院情報科学研究科
Graduate School of Information Sciences, Hiroshima City University

^{††} 三重大学工学部
Department of Engineering, Mie University

^{†††} 広島市立大学情報科学部
Department of Computer Engineering, Hiroshima City University

とで、単純に動作周波数を低下させるよりも分岐ミスペナルティとデータ依存によるストールを削減することが可能である。そのため VSP では単純に動作周波数を低下させた場合よりも実行時間が短縮でき、その結果、消費エネルギーを削減できる。本論文では VSP を用いた VSP プロセッサを設計し、従来手法のプロセッサと性能・消費エネルギーについて比較する。

本論文の構成は以下のとおりである。まず 2 章で本論文で評価に用いる消費エネルギーと性能の指標について述べる。次に 3 章で関連研究について述べる。そして 4 章で今回提案する VSP について、グリッチ緩和を行うためのセルと VSP 手法を用いたプロトタイププロセッサについて説明を行う。5 章で VSP プロセッサの実行時間と消費エネルギーについて、従来の低消費エネルギー手法を用いたプロセッサと比較・評価し、6 章でまとめる。

2. 消費エネルギー

本研究の目的は低消費エネルギーと高性能の両立である。そこで本章では消費エネルギーと性能について定義を行う。まず性能はアプリケーションの実行時間を指標とする。今回議論するのはパイプラインプロセッサであるため、アプリケーション実行のためのサイクル数にクロック周期を掛けることで実行時間を求めることができる。次に消費エネルギーはアプリケーションを実行するために必要な消費エネルギーと定義する。アプリケーションを実行していない間の消費エネルギーは議論しない。CMOS で構成されたプロセッサの消費エネルギー E は消費電力 P 、実行時間 T を用いて以下の式によって求められる。

$$E = P \times T = St \times C \times V^2 \times G \times \text{cycle} \quad (1)$$

St はゲートのスイッチング確率、 C は容量 (ゲート容量、配線容量を含む)、 V は電源電圧、 G はゲート数、 cycle はアプリケーションを実行するサイクル数である。図 1 は式 (1) を用いて動作周波数を変更したときの消費エネルギーを計算したものである。図 1 から分かるように消費エネルギーは動作周波数に依存しない。周波数を高くして実行時間を小さくすると消費電力が増大し、逆に周波数を低くして消費電力を小さくすると実行時間が増大してしまうからである。これが消費エネルギーと消費電力の違いである。本研究ではなるべく性能を低下させずにアプリケーションを実行するために必要なエネルギーを削減することが目的である。最後に、プロセッサどうしを比較する際、どちらがより低消費エネルギーと高性能の両立を達成できているかを評価するためにエネルギー遅延積を用

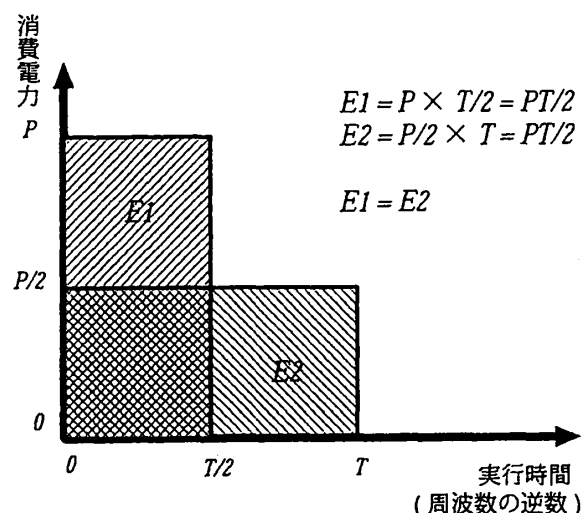


図 1 消費電力と実行時間の関係

Fig. 1 Relation between power consumption and execution time.

いる。エネルギー遅延積 EDP は消費エネルギー E と実行時間 T を用いて以下の式によって求められる。

$$EDP = E \times T \quad (2)$$

このエネルギー遅延積 EDP が小さいほど低消費エネルギーと高性能の両立が達成できている。

エネルギー遅延積 EDP では周波数に依存しない消費エネルギーに周波数に依存する実行時間をかけているため、消費エネルギーの指標とは異なり、周波数に依存する値となる。また、消費エネルギーと実行時間のどちらかの指標のみを良くする方向に極端な設計を行った場合、低消費エネルギーと高性能の両立を目指して設計した場合よりもエネルギー遅延積 EDP が小さくなる場合がある。そのため、エネルギー遅延積 EDP は今回のように低消費エネルギーと高性能の両立を目指して設計されたプロセッサどうしを比較する場合に限定して用いる必要がある。エネルギー遅延積 EDP は式 (3) のように消費電力 P に実行時間 T の 2 乗をかけても求めることができる。

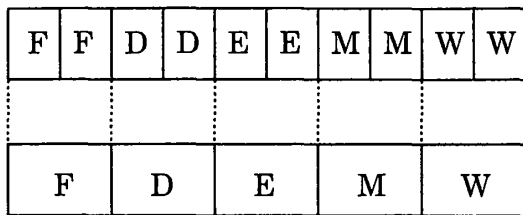
$$EDP = P \times T^2 \quad (3)$$

しかしながら、性能の方が重要視された指標となる。今回は消費エネルギーと性能についての評価であるので式 (2) のエネルギー遅延積 EDP を用いた。

3. 関連研究

本章では、プロセッサの低消費エネルギー手法に関連する研究について概括する。現在の主な低消費エネルギー手法として DVS (Dynamic Voltage Scaling)¹⁾ があげられる。DVS は動的に電源電圧と動作周波数を制御することによって消費エネルギーを削減する。消費エネルギーは電源電圧の 2 乗に比例するため、電源

統合なし



統合あり

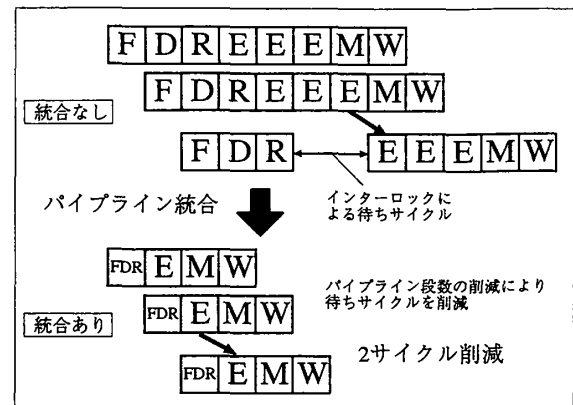
図 2 パイプライン段数の変更
Fig. 2 Change of pipeline stages.

電圧を低下させることは消費エネルギーを大きく削減することにつながる。しかし、LSI の電源電圧は年々低下しており、将来的に閾値電圧の制御などの問題から電源電圧を低下させることのできる変化幅は小さくなる。そのため DVS による消費エネルギーの削減効率は低下することになる。そこで、将来的に消費エネルギーの削減効率が低下する DVS に代わって、電源電圧に依存しないアーキテクチャレベルの低消費エネルギー手法が多く提案されている。

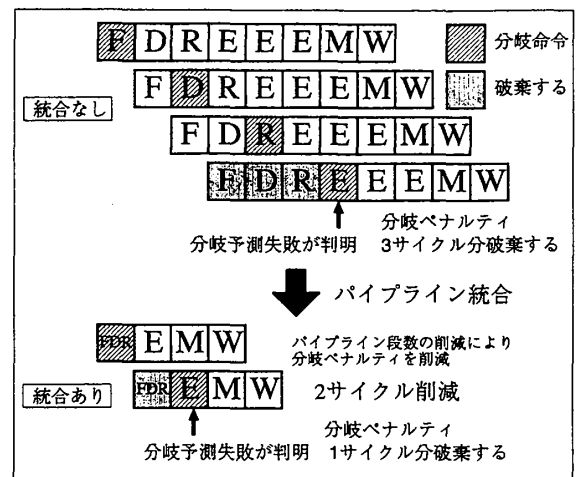
アーキテクチャレベルの低消費エネルギー手法として、PSU (Pipeline Stage Unification)^{2)~4)} や DPS (Dynamic Pipeline Scaling)⁵⁾ のように動的にパイプラインステージを変化させる手法がある。このプロセッサのパイプライン構造の例を図 2 に示す。図 2 では、統合なしの場合は命令フェッチ (F)、命令デコード (D)、演算実行 (E)、メモリアクセス (M)、結果書き込み (W) のステージがそれぞれ 2 ステージあるが、統合ありの場合はそれらのステージはそれぞれ 1 ステージに統合され、パイプラインステージは 10 ステージから 5 ステージになる。このように PSU や DPS の手法は動作周波数に応じて動的にパイプラインステージを統合する。パイプライン統合によって以下の利点がある。

- PSU や DPS では動作周波数を低下させたときのパイプライン統合によってパイプライン段数が少なくなる。パイプライン段数が少なくなるので図 3 に示すように分岐ミスペナルティとデータ依存による待ちサイクルが削減される。そのためパイプライン段数を減少させずに動作周波数を低下させた DVS と比較した場合、アプリケーションの実行時間を削減することが可能である。
- 使用しないパイプラインレジスタやユニットへのクロックを停止することでその部分の消費エネルギーを削減できる。

以上の利点によって低消費エネルギー化が可能であ



データ依存による待ちサイクルの削減



分岐ミスペナルティの削減

図 3 パイプラインステージ統合による利点
Fig. 3 Advantages by pipeline stage unification.

る。また非同期のプロセッサについてパイプラインラッチコントローラで制御する⁶⁾ ことでパイプライン段数を削減し、低消費エネルギー化を実現することも可能である。

本論文で提案する VSP 手法^{7),8)} は PSU や DPS で提案されているのと同様に、パイプラインステージを動的に統合するというアイデアに基づいている。さらに、VSP は LDS-cell (Latch D-FF Selector-cell) と呼ばれるグリッチを緩和するセルを搭載している。また PSU や DPS の研究事例ではプロセッサについて詳細な設計がなされていないが、本論文ではプロセッサを詳細設計したうえで、SPICE ネットリストを用いてトランジスタレベルの消費エネルギーの評価を行っている。

VSP や PSU と DVS との関係について述べる。PSU は図 4 に示すように D-FF と MUX によってパイプラインレジスタをバイパスすることでパイプラインステージを統合する。PSU には DVS を組み合わせたものも存在する。PSU と DVS を組み合わせることにより、より細かい電力制御が可能になる。VSP につい

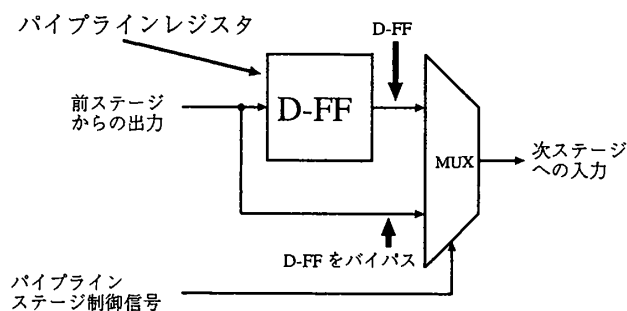


図4 D-FF + MUX 型パイプラインレジスタの構成図

Fig. 4 Structure of D-FF + MUX pipeline register.

でも DVS と組み合わせることにより細かな電力制御が可能になるが、本論文の主旨から外れるため今回は DVS との組合せについてはこれ以上議論しない。

パイプラインステージの統合を行う手法のほかにアーキテクチャレベルの低消費エネルギー手法として次のものがあげられる。CAPs (Complexity-Adaptive Processors)⁹⁾ は IPC とクロック周波数のトレードオフに注目し、要求される命令列に適したハードウェア資源を構成することで低消費エネルギー化を行う。PLB (Pipeline Balancing)¹⁰⁾ はスーパスカラプロセッサにおいて命令実行中に 1 サイクルあたりに発行される命令幅が変化することから、動的に命令発行幅を変更し、同時に使用しない演算資源へのクロックを停止させることで低消費エネルギー化を行う。Pipeline Gating¹¹⁾ はスーパスカラプロセッサにおいて、性能向上のために分岐予測を失敗した場合に多くの無駄な命令やパスが実行されてエネルギーが消費されていることに注目し、分岐予測に失敗しそうな分岐以降の命令パスをパイプラインに投入しないことで、分岐先が確定するまでパイプラインステージを停止させて低消費エネルギー化を行う。Significance Compression¹²⁾ はデータ、アドレス、命令を有効な部分のみに圧縮することで、パイプラインステージで動作する回路を削減して低消費エネルギー化を行う。

これらの手法はいずれも不必要な処理回路を停止させることで消費エネルギーを削減している。VSP においても、不必要になった分岐予測ユニットやパイプラインレジスタを停止させることで、その回路で消費するエネルギーを削減しているという部分が共通している。さらに VSP では、パイプライン段数を動的に変更して実行時間を削減することによって消費エネルギーを削減する。

4. VSP (Variable Stages Pipeline)

本章では VSP について述べる。VSP は PSU と同様、パイプライン段数を動的に変更することで低消費

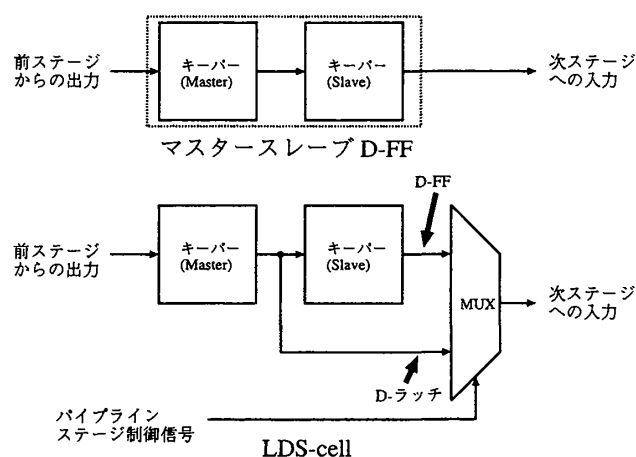


図5 LDS-cell 型パイプラインレジスタの構成図

Fig. 5 Structure of LDS-cell pipeline register.

エネルギー化を目指すアーキテクチャである。それに加えてパイプラインステージ統合により発生するグリッチの増加を抑制するための機能を有している。

4.1 LDS-cell (Latch D-FF Selector-cell)

この節では VSP アーキテクチャの重要なセルである LDS-cell について述べる。グリッチは組合せ回路内のゲートの遅延によって各ゲートに入力される信号の時刻がそろっていないために発生する。また、発生したグリッチによって新たなグリッチが発生するため、一般的に組合せ回路の規模が増大するとグリッチの量も増大する。

発生したグリッチによってプロセッサは余分なエネルギーを消費することになる。PSU ではパイプラインステージを統合することによって 1 ステージの回路規模が増加し、それにとまなうグリッチの増加によって消費エネルギーが増加すると考えられる。そこで VSP では統合されたパイプラインステージに D-ラッチを挿入することでパイプラインステージ統合時のグリッチ増加を緩和する。D-ラッチを挿入する¹³⁾ ことで D-ラッチ以前で発生したグリッチを D-ラッチ以降に伝搬させず、D-ラッチ以降のデータ入力時刻を一致させることができるという効果が得られる。統合されたパイプラインステージや D-ラッチの挿入場所によってはすべてのグリッチ増加を取り除くことはできないが、D-ラッチを挿入しない場合と比べてグリッチの緩和が可能になると考えられる。

本研究ではパイプラインステージ統合を行った際のパイプラインステージ内に D-ラッチを挿入するために LDS-cell を開発した。LDS-cell の構成を図 5 に示す。LDS-cell は通常のマスタースレーブ方式の D-FF に含まれている 2 つのキーパー (Master と Slave) に MUX を 1 つ追加したセルである。LDS-cell は D-FF+

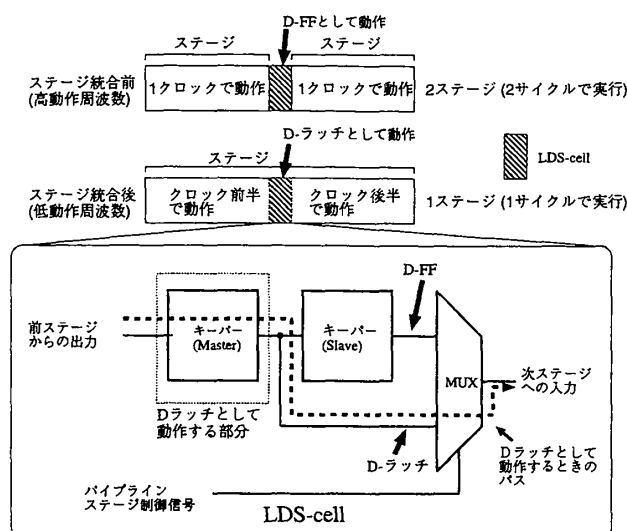


図 6 LDS-cell 型パイプラインレジスタの動作
Fig. 6 Behavior of LDS-cell pipeline register.

MUX と同じスタンダードセルをベースにしているため、D-FF+MUX と同じ大きさで同じ駆動能力となる。LDS-cell が D-FF をベースに設計されているのは、我々がスタンダードセルを用いた設計を前提としており、パイプラインレジスタが D-FF を用いて設計されているプロセッサを想定しているためである。LDS-cell は以下の 2 つの動作を切り替えることが可能である。

D-FF パイプラインステージを統合しないときのパイプラインレジスタとして動作。

D-ラッチ パイプラインステージを統合したときにパイプラインステージ内に挿入され、パイプラインステージをクロックの前半と後半に分けて動作させることで、グリッチの伝搬を防ぐ。

LDS-cell は図 6 のパイプラインステージ統合時において図 7 のようにクロックの前半部分（クロック信号の値が 1 のとき）と後半部分（クロック信号の値が 0 のとき）において以下のような出力になる。

クロックの前半部分 LDS-cell の出力はキーパー (Master) に保持されている値が出力される。そのためグリッチが含まれるパイプラインステージ前半の出力がパイプラインステージ後半の入力へ伝えられず、グリッチによる無駄な消費エネルギーを削減できる。

クロックの後半部分 キーパー (Master) は値を保持せず入力値をそのまま伝搬する。キーパー (Slave) がバイパスされるパスが MUX で選択されているため、パイプラインステージ前半の出力がパイプラインステージ後半の入力へと伝えられる。そのためパイプラインステージ前半の出力を入力信号

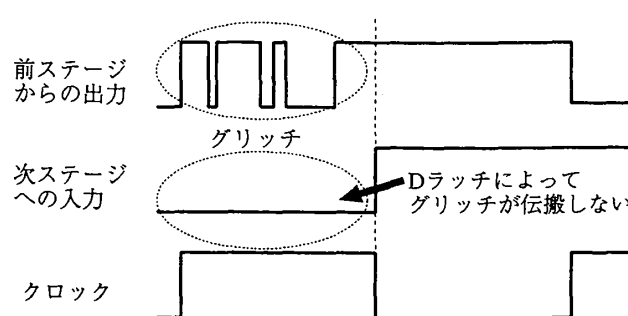


図 7 LDS-cell 型パイプラインレジスタの波形
Fig. 7 Waveform of LDS-cell pipeline register.

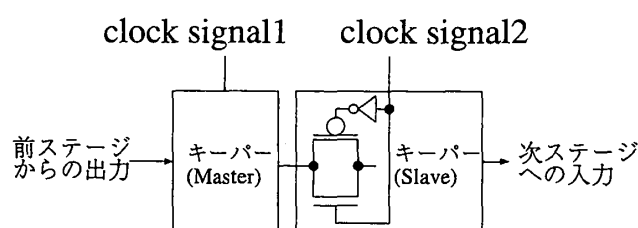


図 8 MUX を用いない LDS-cell 型パイプラインレジスタの構成図
Fig. 8 Structure of LDS-cell pipeline register without MUX.

として LDS-cell 以降のパイプラインステージ後半の回路が動作する。

このように LDS-cell は D-FF 内のキーパーを利用することで、パイプラインステージ間の統合を実現するとともに D-ラッチの機能を実現している。また、LDS-cell は図 4 の PSU で使用されている D-FF+MUX と同じトランジスタ数で実装可能であるという利点がある。実際に LDS-cell を用いて設計を行う際に、LDS-cell はパイプラインレジスタの D-FF と置き換えるだけで設計できるという設計の容易性もある。パイプラインレジスタをバイパスさせるパスを持つ特定の HDL 記述に対して LDS-cell を用いて論理合成することで HDL 記述による設計も可能になる。

LDS-cell や D-FF+MUX の構成方法として図 8 のようにマスタスレーブ方式 D-FF のクロックを操作することで MUX を省くことが可能である。この場合、図 8 の clock signal2 を 1 に固定することでキーパー (Slave) はバイパスされる。しかし 1 つのセルに対して 2 つのクロックを供給する必要があるため、クロック制御による消費電力が大きくなることから本研究ではその方法を用いなかった。このとき、1 つのセル内で clock signal2 を生成することも考えられるが、clock signal1 と clock signal2 は同位相でなくてはならないため clock signal2 に clock signal1 からの遅延が生じるこの方式は採用するのが難しい。さらに、

各セルで clock signal2 を生成するよりもいくつかのセルに対する clock signal2 をセル外で生成する方が、clock signal2 を生成する回路のトランジスタ数が少なくなると考えられる。そのため MUX を省くには2つのクロックをセル外から供給する方が妥当である。いずれにしてもこれらの手法は消費電力が増加する点、回路構成が複雑である点を考慮して、本研究では採用しなかった。

4.2 LDS-cell の実装

LDS-cell は D-FF と MUX のセルをベースにして設計した。具体的には Hitachi 0.18 μm 京大版セルライブラリ¹⁴⁾ の D-FF と MUX の2つのセルを並べ、2つのセル間に適切な配線を手動で行うことで実現した。LDS-cell は駆動力に応じて8種類作成した。それぞれのセルの名前とトランジスタ数、セルサイズを表1に示す。LDS-cell はスタンダードセルとして論理合成することを前提にしているため、セルの縦の長さはすべての種類において同じである。また、各セル名において、P の後の数字が大きくなるほど駆動力が大きくなるため、セルサイズは増加する。

次に LDS-cell の立ち上がりと立ち下りの遅延時間を測定した。立ち上がりは D-FF 動作時にクロックが入ってから出力が立ち上がるまでの時間。立ち下りは D-FF 動作時にクロックが入ってから出力が立ち下がるまでの時間である。測定時の負荷容量は 10 fF である。遅延時間の測定結果を表2に示す。駆動力が大きいセルはサイズが大きいため、駆動力が小さいセルと比べて遅延時間が大きくなっている。測定時の負荷容量を 1 pF にした場合の測定結果を表3に示す。この場合は負荷容量が大きいため駆動力が大きいセルほど遅延時間が小さくなる。

図9に LDS-cell の回路図を示す。セルの入出力ピンは D, Y, C, XR, S の5本である。D がデータ入力、Y がデータ出力、C がクロック、XR がリセットである。S は LDS-cell が D-FF と D-ラッチどちらの動作を行うかを決定する信号であり、S が 0 のときは D-FF、S が 1 のときは D-ラッチとして動作する。

4.3 VSP プロセッサ

本節では VSP を用いたプロトタイププロセッサである VSP プロセッサの詳細設計について述べる。VSP プロセッサは MIPS R3000 と命令互換性を持つ。VSP プロセッサはパイプラインステージを統合することによって動的にパイプラインステージを変化させることができる。さらに LDS-cell を搭載することによってパイプラインステージ統合時のグリッチの増加を緩和できる。VSP プロセッサの構成図を図10に示す。VSP

表1 LDS-cell の種類

Table 1 A variation of LDS-cell.

セル名	Tr 数	サイズ
LDSCELLP010	40	13 μm $\times$ 24.0 μm
LDSCELLP020	40	13 μm $\times$ 24.7 μm
LDSCELLP030	44	13 μm $\times$ 27.9 μm
LDSCELLP040	44	13 μm $\times$ 30.4 μm
LDSCELLP060	44	13 μm $\times$ 32.0 μm
LDSCELLP080	44	13 μm $\times$ 34.5 μm
LDSCELLP120	44	13 μm $\times$ 38.6 μm
LDSCELLP160	44	13 μm $\times$ 41.8 μm

表2 LDSCELL の遅延時間 (10 fF)

Table 2 Delay of LDSCELL (10 fF).

セル名	立ち上がり [ns]	立ち下がり [ns]
LDSCELLP010	0.56	0.57
LDSCELLP020	0.59	0.62
LDSCELLP030	0.65	0.67
LDSCELLP040	0.67	0.71
LDSCELLP060	0.68	0.72
LDSCELLP080	0.69	0.72
LDSCELLP120	0.71	0.74
LDSCELLP160	0.71	0.75

表3 LDSCELL の遅延時間 (1 pF)

Table 3 Delay of LDSCELL (1 pF).

セル名	立ち上がり [ns]	立ち下がり [ns]
LDSCELLP010	1.96	1.53
LDSCELLP020	1.26	1.13
LDSCELLP030	1.08	0.98
LDSCELLP040	0.99	0.94
LDSCELLP060	0.89	0.88
LDSCELLP080	0.85	0.85
LDSCELLP120	0.81	0.83
LDSCELLP160	0.80	0.83

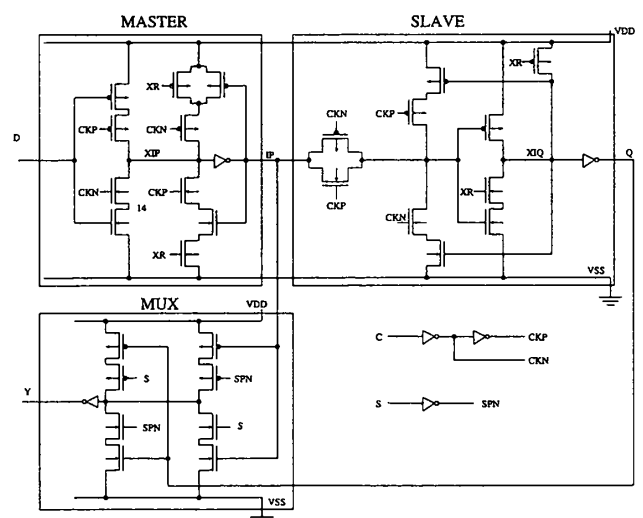


図9 LDS-cell の回路図

Fig.9 Circuit diagram of LDS-cell.

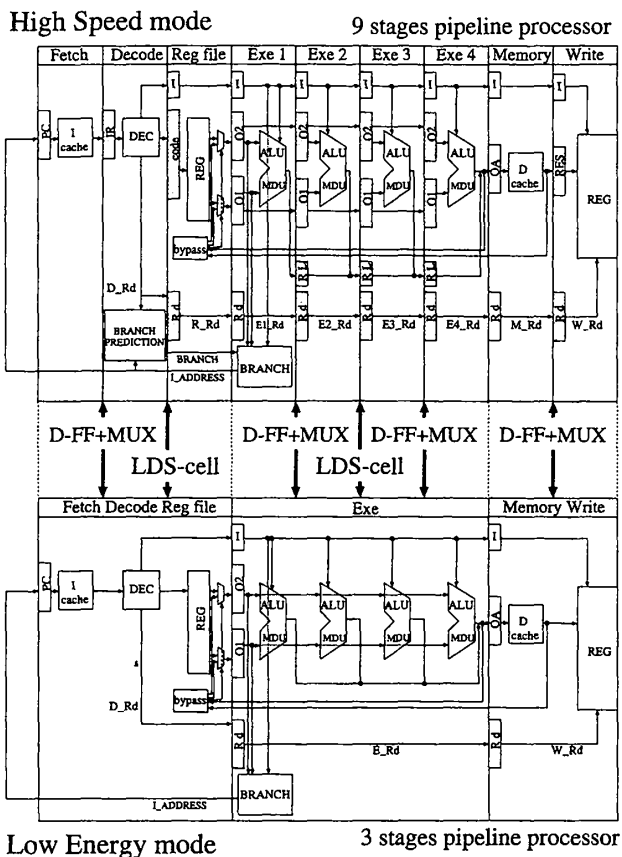


図 10 VSP プロセッサの構成図
Fig. 10 Structure of VSP processor.

プロセッサはパイプライン段数の違いによって High Speed (HS) モードと Low Energy (LE) モードの 2 つのモードを持つ。これら 2 つのモードの特徴は以下のとおりである。

HS モード

- 9 段パイプラインであり、LDS-cell はパイプラインレジスタとして動作する。
- デコードステージに gshare 分岐予測ユニット¹⁵⁾を搭載しており、分岐ミスペナルティは 3 サイクルである。
- レジスタ間接を除く無条件分岐は分岐予測ユニットにおいて 100% の分岐予測が可能である。
- インターロックと演算結果のフォワーディング機構を搭載している。

LE モード

- 3 段パイプラインであり、LDS-cell はグリッチの緩和を行う D-ラッチとして動作する。
- HS モードの 1/4 の周波数で動作する。
- 遅延分岐、遅延ロード、フォワーディングによって分岐ペナルティやデータ依存によるインターロックが発生しない。
- 分岐予測ユニットは使用しないので停止する。
- 分岐予測ユニットやバイパスされて使用しなく

なったパイプラインレジスタのクロックを止めることでパイプラインレジスタで消費されるエネルギーを削減することができる。

HS モードにおいて、実行ステージが 4 ステージになっている理由は、VSP プロセッサは単純な構成をしているため、演算実行以外の処理を行う他のステージと比較して実行ステージの遅延時間が大きくなっているためである。事前評価の結果、ALU の遅延時間が MDU を除く他のステージの 4 倍程度であったことから実行ステージを 4 ステージとして設計した。MDU については他のステージの遅延時間に合わせて 4 ステージに分割を行った。バッテリーなどの電源が十分に確保できる場合、VSP プロセッサは HS モードで動作する。バッテリーの残量が少なくなったり、アプリケーションの負荷が小さい場合には周波数を低下させて LE モードで動作する。LE モードでは分岐ペナルティやデータ依存によるインターロックが発生しないためアプリケーションの実行時間は HS モードを低い周波数で実行した場合よりも短くなる。また LE モードでは実行時間の短縮、LDS-cell によるグリッチの緩和、使用しない分岐予測ユニットやパイプラインレジスタの停止によって消費エネルギーが削減される。

LDS-cell はクロックの前半部分と後半部分を利用することから、統合後のステージに 1 つしか挿入することができない。ステージは第 1, 2, 3 ステージと第 4, 5, 6, 7 ステージと第 8, 9 ステージという組合せで統合される。したがって、統合後のステージの真中あたりに LDS-cell による D-ラッチの挿入が行えるように第 1, 2, 3 ステージの中心の第 3 ステージ、第 4, 5, 6, 7 ステージの中心の第 6 ステージのパイプラインレジスタ（パイプラインレジスタはステージの最初にある）として LDS-cell を用いた。これによって、統合後の第 1 ステージと第 2 ステージはそれぞれのステージ内がクロックの前半と後半に分かれて動作するのでグリッチの伝搬を抑えることができる。本来ならば、統合前の第 9 ステージのパイプラインレジスタの部分にも LDS-cell を使用するはずであるが、REG（レジスタファイル）はクロックの立ち下がりに同期してデータを格納するため統合後にグリッチの発生が少ないと思われるので今回は使用しなかった。

5. 評価

5.1 評価環境

本章では前章で詳細設計を行った VSP を用いたプロセッサである VSP プロセッサの評価を行った。DVS, PSU, VSP それぞれの手法を用いた DVS,

表 4 ベンチマークプログラムの命令数と実行サイクル数

Table 4 Number of instructions and number of execution cycles of benchmark programs.

ベンチマーク	命令数	実行サイクル数
maze	7,482	3,140,791
pi	6,475	87,329
quick sort	5,989	68,676
bubble sort	107	1,034
euclidean algorithm	90	513

PSU, VSP プロセッサについて消費エネルギーと実行時間について評価を行った。ここで、図 10 ではプロセッサにキャッシュが搭載されているが、評価を行う際の各プロセッサではキャッシュが搭載されていない。この理由は、キャッシュの消費エネルギーによってプロセッサの消費エネルギーの結果が隠蔽されてしまう可能性があるためである。ベンチマークプログラムは、迷路の自動生成解析プログラムである“maze”，円周率を求めるプログラムである“pi”，20 個の整数をクイックソートによってソートする“quick sort”，ユークリッドの互除法のプログラムである“euclidean algorithm”，10 個の整数をバブルソートによってソートする“bubble sort”である。表 4 に各ベンチマークの命令数と実行サイクル数を示す。命令数は静的なプログラム中に含まれる命令の数，実行サイクル数はストールなしにプログラムを実行したときに必要なサイクル数である。なお，実行時間の評価ではベンチマークプログラム全体を実行して評価した。しかし，消費エネルギーの評価は SPICE モデルを用いた計算であるため，現実的な時間内に評価結果を得るためにはプログラムのサイズが小さいものである必要がある。そこで“maze”，“pi”，“quick sort”のサイズの大きなベンチマークプログラムについてはプログラム中のコアと思われる部分を実行して評価し，“euclidean algorithm”と“bubble sort”のサイズの小さなベンチマークプログラムではベンチマークプログラム全体を実行して評価を行った。

3つのプロセッサのネットリストは以下のようにして作成した。DVS については Verilog-HDL を用いて MIPS R3000 命令互換の 9 段パイプライン・プロセッサを設計し，論理合成をすることでネットリストを生成した。PSU, VSP のプロセッサは DVS で使用したプロセッサをベースに，PSU の場合は D-FF+MUX, VSP の場合は LDS-cell で実現したパイプライン・レジスタへの置換，および LE モードで不必要な回路（分岐予測回路など）を停止する回路の追加など，必要な変更を加えたうえで論理合成してネットリストを作成した。D-FF+MUX と LDS-cell のトランジスタ数は

表 5 プロセッサのトランジスタ数と評価環境

Table 5 Number of transistors of processors and evaluation environment.

processor	mode	stages	frequency	voltage
DVS	HS	9	125.00 MHz	1.80 V
1038514 Tr	LE	9	31.25 MHz	1.44 V
PSU	HS	9	125.00 MHz	1.80 V
1069761 Tr	LE	3	31.25 MHz	1.80 V
VSP	HS	9	125.00 MHz	1.80 V
1069761 Tr	LE	3	31.25 MHz	1.80 V

同じであるため，PSU と VSP プロセッサのトランジスタ数は同じである。論理合成ツールには Synopsys Design Compiler を使用し，テクノロジーには Hitachi 0.18 μm CMOS テクノロジーを用いた。論理合成によって得られたプロセッサのトランジスタ数と評価環境をまとめて表 5 に示す。それぞれのプロセッサの消費エネルギーは Synopsys Nanosim を用いて測定した。

評価において HS モードの周波数を 125.00 MHz と設定しているが，これは論理合成後の Verilog-HDL シミュレーションで動作することが確認された最高の周波数である。DVS と PSU についても同じ動作周波数で評価を行うために HS モードを 125 MHz とした。それぞれの LE モードの動作周波数は HS モードの 1/4 である 31.25 MHz とした。また，使用しないパイプラインレジスタのためのクロック信号は停止させた。

電源電圧について Hitachi 0.18 μm CMOS テクノロジーを用いているため 1.80 V と設定した。DVS の LE モードの電源電圧については，将来的な電源電圧の変化幅を用いた場合を想定し，1.44 V とした。これは文献 2) において 22 nm プロセスで予測される電源電圧の割合をスケーリング則を用いて 0.18 μm プロセスに適用することで求めた。

5.2 評価結果

各モードにおける実行時間と消費エネルギーの評価結果を図 11，図 12，図 13，図 14 に示す。各図の値はそれぞれの動作周波数，電源電圧の条件下での評価結果において，DVS の値を 1.0 としたときの比である。

図 11 は HS モードにおける実行時間の評価結果である。縦軸は実行時間の比，横軸はベンチマークプログラムである。HS モードにおいて DVS, PSU, VSP のすべてのプロセッサのパイプライン段数と動作周波数が同じであるため，各アプリケーションの実行時間は同じになる。

図 12 は HS モードにおける消費エネルギーの評価結果である。縦軸は消費エネルギーの比，横軸はベン

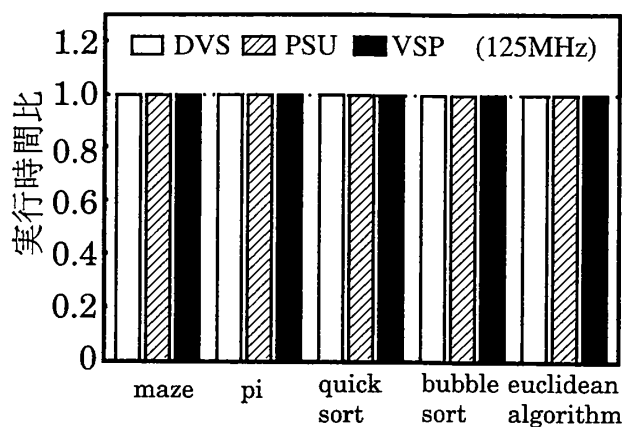


図 11 HS モード実行時間比

Fig. 11 Execution time ratio in HS mode.

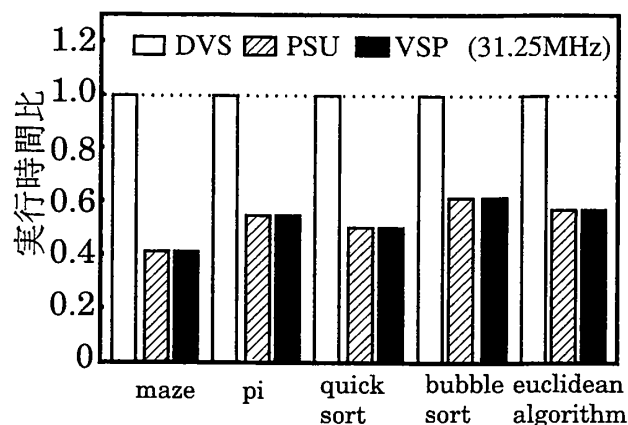


図 13 LE モード実行時間比

Fig. 13 Execution time ratio in LE mode.

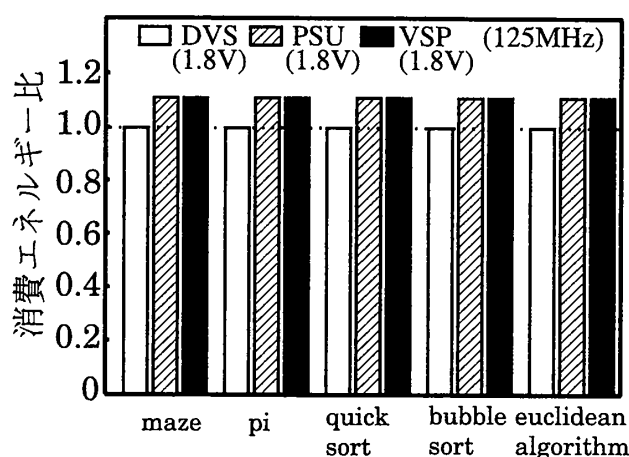


図 12 HS モード消費エネルギー比

Fig. 12 Energy consumption ratio in HS mode.

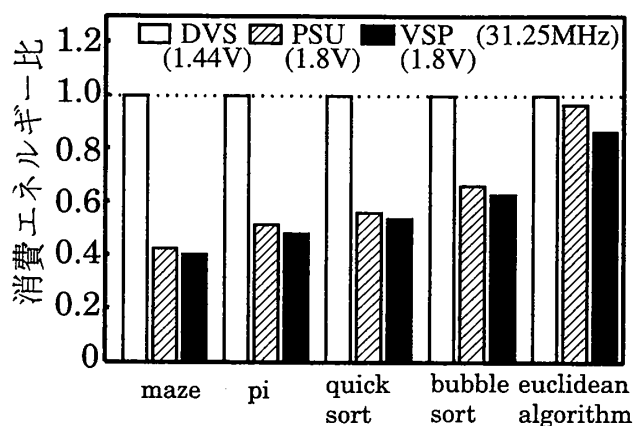


図 14 LE モード消費エネルギー比

Fig. 14 Energy consumption ratio in LE mode.

チマークプログラムである。HS モードでの消費エネルギーについてはトランジスタ数が多いため、VSP と PSU は消費エネルギーが DVS よりも 11% 増加する。VSP と PSU の消費エネルギーはほぼ同じである。

図 13 は LE モードにおける実行時間の評価結果である。縦軸は実行時間の比、横軸はベンチマークプログラムである。LE モードにおいて PSU と VSP の実行時間は同じ動作周波数 31.25 MHz で動作する DVS と比較して平均で 54% まで削減される。これは LE モードでは PSU と VSP のパイプライン段数が 9 段から 3 段に削減されるため、9 段のままの DVS と比べて分岐ミスペナルティやデータ依存による待ち時間の削減が行われたためであると考えられる。このとき、DVS の実行時間は平均で 46% が分岐ミスペナルティやデータ依存による待ち時間で消費されている。

図 14 は LE モードにおける消費エネルギーの評価結果である。縦軸は消費エネルギーの比、横軸はベンチマークプログラムである。LE モードにおける VSP の消費エネルギーは平均で DVS の 58% まで削減され

る。この理由として、PSU と VSP では図 13 で示したように DVS と比較して実行時間が短縮されたことと、使用しなくなったパイプラインレジスタと分岐予測ユニットの消費エネルギーが削減されたことがあげられる。また、LE モードにおいて VSP の消費エネルギーは PSU の消費エネルギーよりも 4%～10% 小さくなっている。これは LDS-cell によってグリッチが緩和されているためである。このことより、LE モードにおいて VSP は PSU よりも低消費エネルギーを実現しているといえる。特に“euclidean algorithm”ではグリッチ発生量が多いため全体的に消費エネルギーが増加するが、他のベンチマークプログラムよりも PSU に対する VSP の低消費エネルギー効果が現れている。

今後、浮動小数点演算器の搭載などを行ってプロセッサの演算器を拡張していくことで LDS-cell の効果はさらに大きくなると考えられる。また、今回の評価では、配線遅延を含まない論理合成後のシミュレーションにより評価を行っているため、LDS-cell により緩和されているグリッチはゲート遅延により発生したグリッチのみであると考えられる。今後レイアウトを行

表 6 HS モードエネルギー遅延積比

Table 6 Energy delay product ratio in HS mode.

ベンチマーク	DVS	PSU	VSP
maze	1.00	1.11	1.11
pi	1.00	1.11	1.11
quick sort	1.00	1.11	1.11
bubble sort	1.00	1.11	1.11
euclidean algorithm	1.00	1.11	1.11

表 7 LE モードエネルギー遅延積比

Table 7 Energy delay product ratio in LE mode.

ベンチマーク	DVS	PSU	VSP
maze	1.00	0.18	0.17
pi	1.00	0.29	0.27
quick sort	1.00	0.29	0.28
bubble sort	1.00	0.40	0.38
euclidean algorithm	1.00	0.56	0.50

い、配線遅延や配線容量の影響を考慮した評価を行った場合、配線遅延やクロストークノイズにより発生するグリッチの影響も緩和できるため、LDS-cell によるグリッチの削減効果としてさらに高い効果が期待できる。

低消費エネルギーと高性能の両立について、エネルギー遅延積を用いて VSP と DVS, PSU のプロセッサの比較を行う。評価によって得た消費エネルギーと実行時間からエネルギー遅延積を算出した。HS モードにおけるエネルギー遅延積比を表 6 に、LE モードにおけるエネルギー遅延積比を表 7 に示す。

まず VSP と DVS の比較を行った場合、HS モードでは実行時間が等しく、消費エネルギーは DVS の方が小さいのでエネルギー遅延積は DVS の方が小さくなる。よって HS モードでは DVS の方が低消費エネルギーと高性能の両立を達成できているといえる。一方、LE モードにおいては実行時間、消費エネルギーの両方について VSP の方が値が小さいので VSP のエネルギー遅延積は DVS よりも小さくなる。したがって LE モードでは VSP の方が低消費エネルギーと高性能の両立を達成できているといえる。次に VSP と PSU の比較を行う。HS モードでは、実行時間が等しく、消費エネルギーもほぼ等しいので VSP, PSU のエネルギー遅延積はほぼ等しくなる。よって HS モードでは低消費エネルギーと高性能の両立について対等であるといえる。LE モードでは、実行時間は等しいが、LDS-cell の効果によって VSP プロセッサの方が PSU よりも消費エネルギーが小さい。そのため VSP のエネルギー遅延積は PSU よりも小さくなる。したがって LE モードでは VSP の方が低消費エネルギーと高性能の両立を達成できているといえる。

以上の結果より、LE モードにおいて VSP は DVS

や PSU よりも低消費エネルギーと高性能の両立を達成できているといえる。

6. ま と め

本章では本論文のまとめを述べる。本研究によって LE モードにおいて VSP は DVS や PSU よりも低消費エネルギーと高性能の両立を達成しているといえる。その要因として LE モードにおいて、VSP はサイクル数を削減することで実行時間を DVS の 54% に削減し、実行時間の削減と不要回路の停止によって式 (1) の $cycle$ と G の項を削減することで消費エネルギーを DVS の 58% に削減できたことがあげられる。また、LDS-cell によって式 (1) の St の項を削減することで PSU よりも 4%~10% 少ない消費エネルギーで同じ性能を得られたことも要因としてあげられる。今後プロセッサ全体のレイアウトを行い、配線遅延や配線容量の影響を考慮した評価を行った場合、配線遅延やクロストークノイズにより発生するグリッチの影響も緩和できるため、LDS-cell によるグリッチの削減効果としてさらに高い効果が期待できる。今後の研究として、VSP 手法をスーパスカラプロセッサや浮動小数点演算器を搭載したプロセッサなどのさらに複雑なアーキテクチャに応用していく予定である。

謝辞 本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社ならびにケイデンス株式会社の協力で行われたものである。本設計は東京大学大規模集積システム設計教育研究センターを通し、株式会社日立製作所の協力で行われたものである。我々はエッチ・ディー・ラボ株式会社の協力によって HDL 記述の品質チェックとして RTqualify を使用している。

参 考 文 献

- 1) Pouwelse, J., Langendoen, K. and Sips, H.: Dynamic voltage scaling on a low-power micro-processor, *7th ACM Int. Conf. on Mobile Computing and Networking (Mobicom)*, pp.251-259 (July 2001).
- 2) 嶋田 創, 安藤秀樹, 島田俊夫: パイプラインステージ統合: 将来のモバイルプロセッサのための消費エネルギー削減技術, 2003 年先進的計算基盤システムシンポジウム SACSIS 2003, pp.283-290 (2003).
- 3) Shimada, H., Ando, H. and Shimada, T.: Pipeline Stage Unification: A Low-Energy Consumption Technique for Future Mobile Processors, *The International Symposium on Low Power Electronics and Design 2003*,

pp.326-329 (Aug. 2003).

- 4) 嶋田 創, 安藤秀樹, 島田俊夫: パイプラインステージ統合とダイナミック・ボルテージ・スケリングを併用したハイブリッド消費電力削減機構, 2004 年先進的計算基盤システムシンポジウム SACSIS 2004, pp.11-18 (2004).
- 5) Koppanalil, J., Ramrakhiani, P., Desai, S., Vaidyanathan, A. and Rotenberg, E.: A Case for Dynamic Pipeline Scaling, *Proc. Int. Conf. on Compilers, Architecture and Synthesis for Embedded Systems 2002*, pp.1-8 (2002).
- 6) Efthymiou, A. and Garside, J.D.: Adaptive Pipeline Depth Control for Processor Power-Management, *Proc. Int. Conf. on Computer Design 2002*, pp.454-457 (2002).
- 7) Ichikawa, Y., Sasaki, Y., Hironaka, T., Kitamura, T. and Kondo, T.: Low Energy Consumption by a Variable Stages Pipeline Technique, *International Technical Conference on Circuits/Systems Computers and Communications (ITC-CSCC2004)*, No.0358(6C 1L-4) (2004).
- 8) 市川裕二, 佐々木敬泰, 弘中哲夫, 北村俊明, 近藤利夫: 可変パイプライン手法によるプロトタイプ低消費エネルギープロセッサの設計, SWoPP2004, 信学技報コンピュータシステム CPSY2004-21, No.241, pp.7-12 (2004).
- 9) Albonesi, D.H.: Dynamic IPC/Clock Rate Optimization, *Proc. 25th Annual Int. Symp. on Computer Architecture*, pp.282-292 (1998).
- 10) Bahar, R.I. and Manne, S.: A Power and Energy Reduction Via Pipeline Balancing, *Proc. 28th Annual Int. Symp. on Computer Architecture*, pp.218-229 (2001).
- 11) Manne, S., Klauser, A. and Grunwald, D.: Pipeline Gating: Speculation Control For Energy Reduction, *Proc. 25th Annual Int. Symp. on Computer Architecture*, pp.132-141 (1998).
- 12) Canal, R., González, A. and Smith, J.E.: Very Low Power Pipelines using Significance Compression, *Proc. 33rd Annual Int. Symp. on Microarchitecture*, pp.181-190 (2000).
- 13) Musoll, E. and Cortadella, J.: Low-Power Array Multipliers with Transition-Retaining Barriers, *Proc. International Workshop on Power, Timing Modeling Optimization and Simulation*, pp.227-238 (Oct. 1995).
- 14) 藤森一憲, 橋本昌宜, 小野寺秀俊: 駆動力可変セルレイアウト生成システムによるスタンダードセルライブラリの開発, 信学技報, VLD2001-147 (2002).
- 15) 吉瀬謙二, 片桐孝洋, 本多弘樹, 弓場敏嗣: 高性能プロセッサのための代表的な分岐予測の実装と評価, Technical Report UEC-IS-2003-2, 電気通

信大学大学院情報システム学研究科 (May 2003).

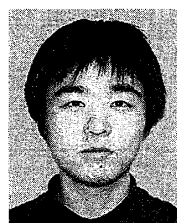
(平成 17 年 10 月 3 日受付)

(平成 18 年 1 月 23 日採録)



市川 裕二

2004 年広島市立大学情報科学部情報工学科卒業。現在、同大学大学院情報科学研究科博士前期課程に在籍。低消費エネルギープロセッサの研究に従事。



佐々木敬泰 (正会員)

1998 年広島市立大学情報科学部情報工学科卒業。2000 年同大学大学院情報科学研究科修士課程修了。2003 年同大学院博士後期課程修了。同年三重大学工学部情報工学科助手、現在に至る。博士 (情報工学)。マルチプロセッサ、細粒度並列処理アーキテクチャ、低消費電力プロセッサ、動画像高圧縮技術に関する研究に従事。電子情報通信学会会員。



弘中 哲夫 (正会員)

1990 年九州大学大学院総合理工学研究科博士前期課程修了。1993 年同大学大学院博士後期課程修了。同年九州大学工学部情報工学科助手。1994 年広島市立大学情報科学部情報工学科助教授、現在に至る。博士 (工学)。主としてリコンフィギャラブルシステム、プロセッサアーキテクチャ、メモリアーキテクチャに関する研究に従事。電子情報通信学会, IEEE, ACM 各会員。



谷川 一哉 (正会員)

1999 年広島市立大学情報科学部情報工学科卒業。2001 年同大学大学院情報科学研究科修士課程修了。2004 年同大学院博士後期課程修了。同年広島市立大学情報科学部情報工学科助手、現在に至る。博士 (情報工学)。主としてリコンフィギャラブルアーキテクチャ、プロセッサアーキテクチャに関する研究に従事。電子情報通信学会, IEEE 各会員。



北村 俊明（正会員）

1978年京都大学工学部情報工学科卒業。1983年同大学大学院工学研究科博士課程情報工学専攻研究指導認定退学。同年富士通（株）入社。汎用コンピュータ，スーパーコンピュータ

VPPシリーズのVLIW型CPU，Mアーキテクチャ・命令エミュレーション，米国HAL社においてSPARCプロセッサ等の研究開発に従事。博士（工学）。2000年京都大学総合情報メディアセンター助教授。2002年広島市立大学情報科学部教授。計算機アーキテクチャに興味を持つ。電子情報通信学会，IEEE，ACM各会員。



近藤 利夫（正会員）

1976年名古屋大学工学部電気工学科卒業。1978年同大学大学院修士課程修了。同年日本電信電話公社入社。2000年三重大学工学部情報工学科教授。SIMDプロセッサに関

するアーキテクチャ，プロセッサ配列型の専用LSI構成，文字認識処理への応用等の研究・開発，MPEG-2映像符号化LSIの開発を経て，現在，映像符号化方式とそれに対応するLSI構成法の研究に従事。博士（工学）。電子情報通信学会，IEEE各会員。